



Máster de Tecnologías de Telecomunicación

Trabajo Fin de Máster

Implementación física y verificación de un filtro polifásico para un receptor IEEE 802.15.4 en tecnología CMOS 0.18 μm

Daniel Mayor Duarte

Dr. Francisco Javier del Pino Suárez, Dr. Sunil Lalchand Khemchandani

Junio 2017

Resumen:

- El objetivo de este trabajo de fin de máster es obtener el *layout* de un filtro polifásico de tipo *Butterworth* para el estándar IEEE 802.15.4 usando la tecnología CMOS 0.18 μm .
- El circuito está basado en el uso de la topología gm-C de tiempo continuo. Esta topología aboga por la sustitución de las bobinas del circuito por estructuras equivalentes formadas por amplificadores de transconductancia y condensadores. A la hora de dimensionar los transistores de dichos transconductores se ha utilizado la metodología gm/Id.

Arquitectura del filtro polifásico

- Con el fin de reducir el consumo, se ha diseñado el filtro a partir de dos estructuras de amplificadores de transconductancia distintas: el transconductor de Nauta en las ramas cruzadas y el transconductor clase A-B o Nauta simplificado en las ramas I y Q.

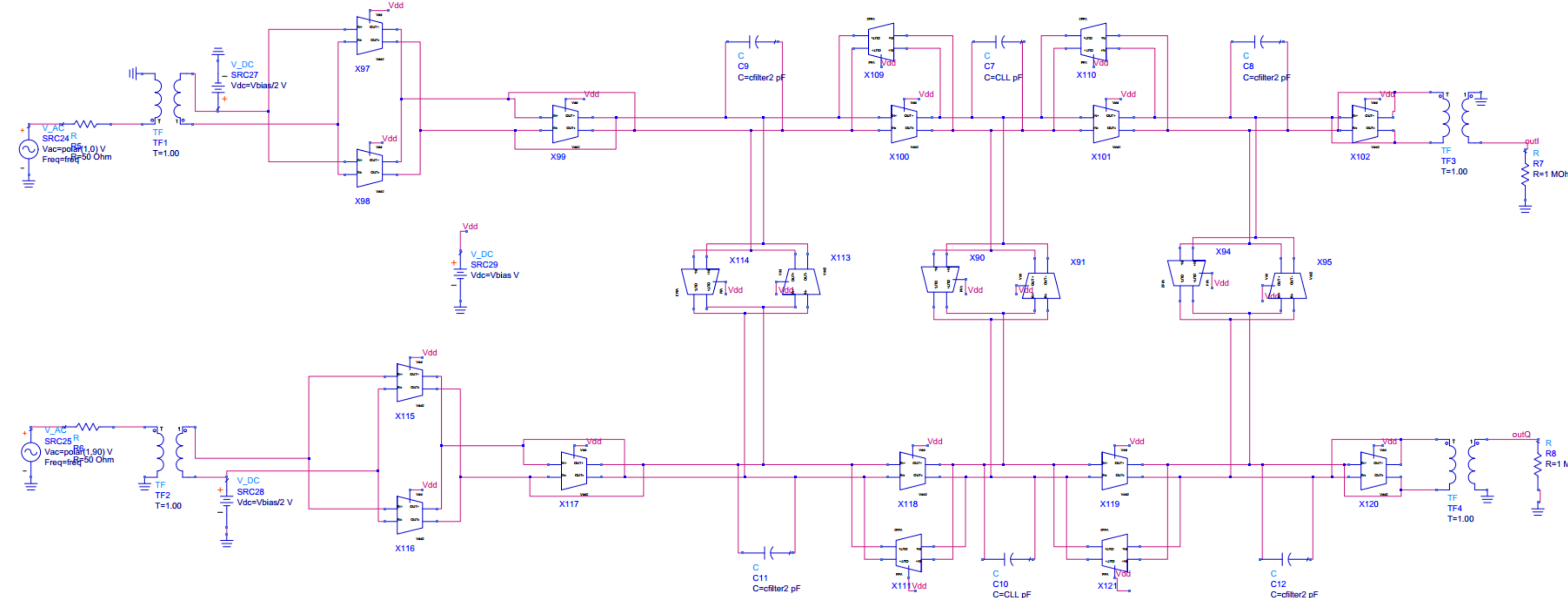


Figura 1. Arquitectura del filtro polifásico

Layout y simulaciones

- Se ha realizado el *layout* utilizando la herramienta *Virtuoso* de Cadence, utilizando la tecnología UMC 0.18 μm CMOS. Las simulaciones *post-layout* muestran un rechazo imagen de 34 dBc en el canal alterno, cumpliéndose los criterios establecidos por el estándar IEEE 802.15.4.

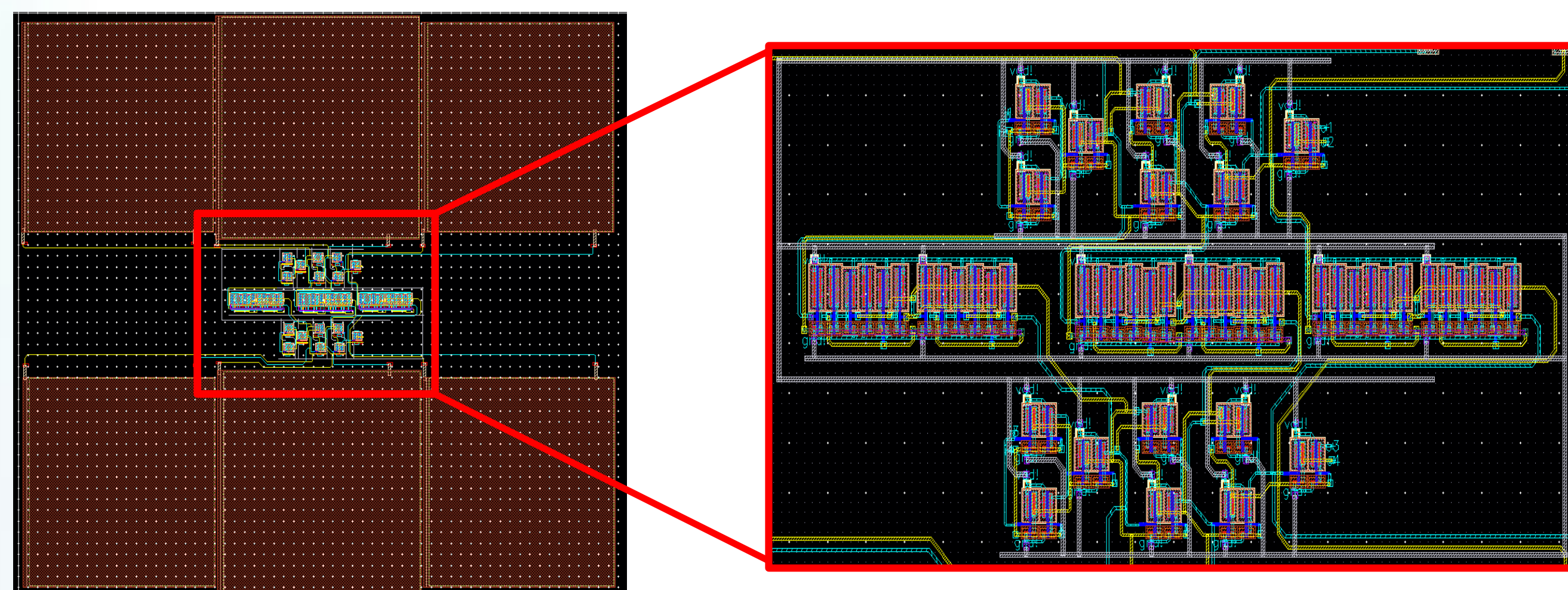


Figura 2. Layout del filtro polifásico

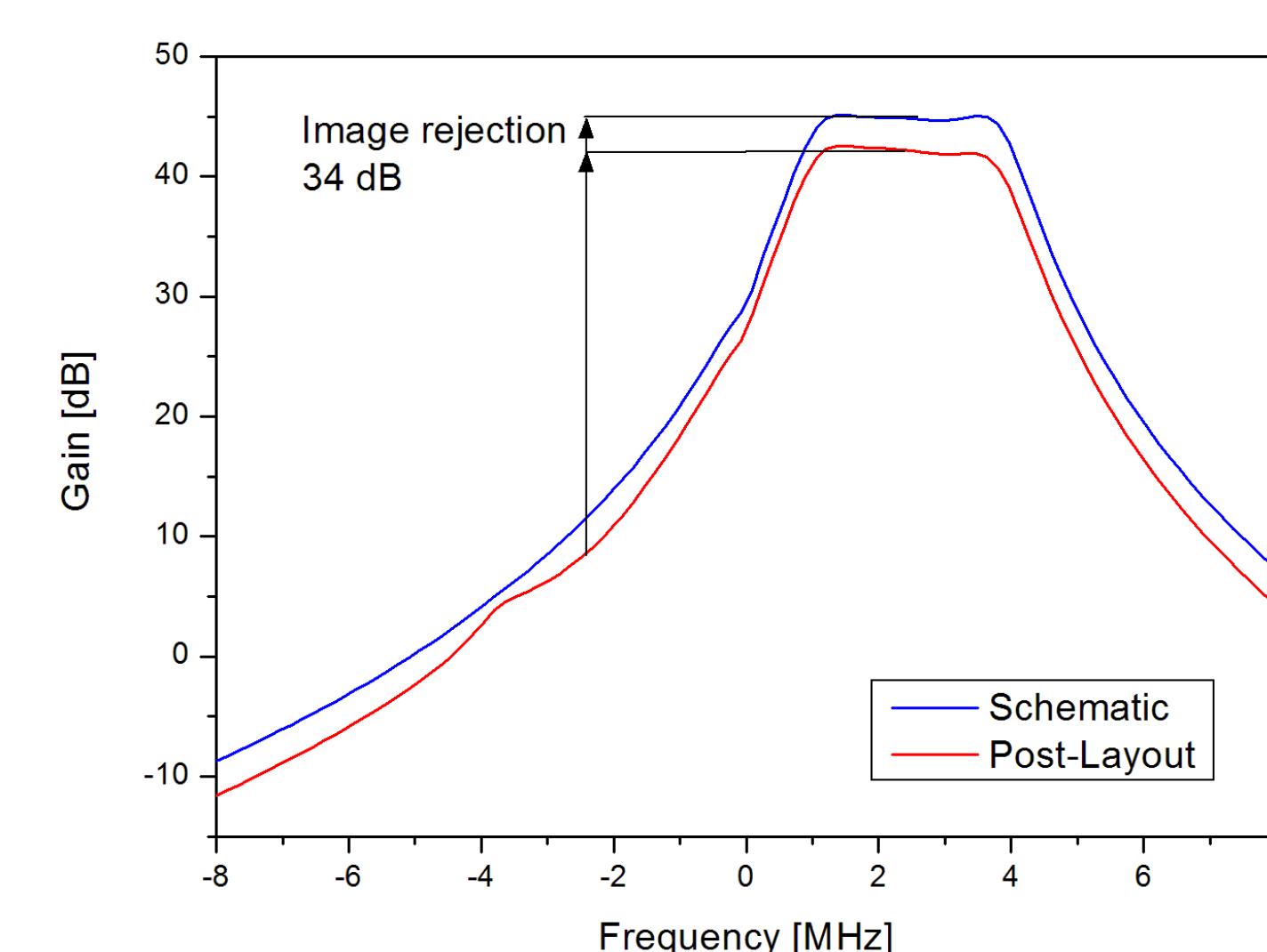


Figura 3. Respuesta en frecuencia

Conclusiones

En este trabajo fin de máster se ha realizado el primer paso en el proceso de fabricación de filtro polifásico integrado. Tras realizar el *layout*, se han realizado los ajustes necesarios para cumplir con las prestaciones del estándar IEEE 802.15.4 y obtener unos resultados competitivos respecto al rechazo imagen.

