



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### IMPLEMENTACIÓN FÍSICA Y VERIFICACIÓN DE UN FILTRO POLIFÁSICO PARA UN RECEPTOR IEEE 802.15.4 EN TECNOLOGÍA CMOS 0.18 $\mu\text{m}$

Autor: Daniel Mayor Duarte  
Tutor(es): Dr. Francisco Javier del Pino Suárez  
Dr. Sunil Lalchand Khemchandani  
Fecha: Junio 2017





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



## Trabajo Fin de Máster

### IMPLEMENTACIÓN FÍSICA Y VERIFICACIÓN DE UN FILTRO POLIFÁSICO PARA UN RECEPTOR IEEE 802.15.4 EN TECNOLOGÍA CMOS 0.18 $\mu\text{m}$

#### HOJA DE FIRMAS

**Alumno/a:** Daniel Mayor Duarte Fdo.:

**Tutor/a:** Dr. Francisco Javier del Pino Suárez Fdo.:

**Tutor/a:** Dr. Sunil Lalchand Khemchandani Fdo.:

**Fecha:** Junio 2017





UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA

Instituto Universitario de Microelectrónica Aplicada

Sistemas de información y Comunicaciones

# Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

**IMPLEMENTACIÓN FÍSICA Y VERIFICACIÓN DE UN  
FILTRO POLIFÁSICO PARA UN RECEPTOR IEEE  
802.15.4 EN TECNOLOGÍA CMOS 0.18  $\mu\text{m}$**

**HOJA DE EVALUACIÓN**

Calificación: .....

**Presidente**

Fdo.:

**Secretario**

Fdo.:

**Vocal**

Fdo.:

**Fecha: Junio 2017**



# Índice

---

1. Introducción .....	1
1.1. Antecedentes .....	1
1.2. Receptor .....	2
1.3. Objetivos .....	5
1.4. Estructura de la memoria.....	7
2. Estado del arte.....	9
2.1. Clasificación según la función que desempeña.....	9
2.2. Clasificación según los componentes que lo forman .....	11
2.2.1. Filtros pasivos.....	12
2.2.2. Filtros activos .....	12
2.2.3. Efectos de segundo orden.....	14
2.2.3.1. DC-offset .....	14
2.2.3.2. Ruido .....	14
2.2.3.3. Distorsión.....	15
2.3. Filtros polifásicos .....	16
2.4. Estudio de la bibliografía .....	20
2.5. Resumen .....	22
3. Diseño del filtro polifásico .....	23
3.1. Diseño del filtro pasivo paso bajo .....	23
3.2. Diseño del filtro activo con transconductores ideales .....	25
3.3. Diseño del filtro activo con transconductores reales.....	27
3.3.1. OTA de Nauta.....	28
3.3.2. Metodología Gm/Id .....	28
3.4. Diseño del filtro activo polifásico con transconductores ideales .....	31
3.5. Diseño del filtro activo polifásico con transconductores reales .....	33
3.6. Resumen .....	36

4.	Estudio de la tecnología.....	37
4.1.	Estudio de resistencias .....	37
4.1.1.	Construcción.....	37
4.1.2.	Resistencias en la tecnología UMC 0.18 $\mu\text{m}$ .....	38
4.1.3.	Resistencias optimizadas para RF en la tecnología UMC 0.18 $\mu\text{m}$ ...	39
4.2.	Estudio de condensadores .....	40
4.2.1.	Construcción.....	40
4.2.2.	Condensadores en la tecnología UMC 0.18 $\mu\text{m}$ .....	41
4.2.3.	Condensadores optimizados para RF UMC 0.18 $\mu\text{m}$ .....	42
4.3.	Estudio de bobinas .....	45
4.3.1.	Construcción.....	45
4.3.2.	Funcionamiento .....	45
4.3.3.	Modelo de la bobina .....	46
4.3.4.	Bobinas en la tecnología UMC 0.18 $\mu\text{m}$ .....	47
4.4.	El Transistor MOSFET .....	48
4.4.1.	Construcción.....	48
4.4.2.	Funcionamiento .....	49
4.4.3.	Modelo de pequeña señal .....	51
4.4.4.	Transistores MOSFET en la tecnología UMC 0.18 $\mu\text{m}$ .....	53
4.4.5.	Transistores MOSFET optimizados para RF UMC 0.18 $\mu\text{m}$ .....	54
4.5.	Estudio de <i>pads</i> .....	56
4.5.1.	Construcción.....	56
4.5.2.	<i>Pads</i> en la tecnología UMC 0.18 $\mu\text{m}$ .....	57
4.6.	Resumen .....	58
5.	Diseño a nivel de <i>layout</i> de los OTAs .....	61
5.1.	Implementación del layout de un inversor .....	61
5.2.	Implementación del layout del OTA clase A-B .....	66



5.3. Implementación de los OTAs de Nauta .....	69
5.4. Conclusiones .....	74
6. Diseño a nivel de <i>layout</i> del filtro polifásico .....	75
6.1. Traslación del circuito .....	75
6.2. <i>Layout</i> de las ramas I y Q .....	76
6.3. <i>Layout</i> de las ramas cruzadas .....	77
6.4. <i>Layout</i> del filtro polifásico .....	79
6.5. Simulaciones Montecarlo .....	82
6.6. Conclusiones .....	84
7. Resultados de simulación .....	85
7.1. Simulaciones <i>post-layout</i> del receptor .....	85
7.1.1. Ganancia y figura de ruido .....	87
7.1.2. Respuesta en frecuencia .....	90
7.1.3. Adaptación de entrada .....	92
7.1.4. Linealidad .....	93
7.1.5. Consumo de potencia .....	94
7.2. Conclusiones .....	95
8. Conclusiones .....	97
9. Bibliografía .....	103
Anexo 1 .....	107
Anexo 2 .....	115



# Índice de Figuras

---

Figura 1-1. Diagrama de bloques de un transceptor. ....	2
Figura 1-2. Esquema general de un receptor de radiofrecuencia.....	3
Figura 1-3. Representación gráfica de la aparición de la frecuencia imagen en la banda deseada.....	3
Figura 1-4. Representación gráfica de la acción de un filtro de rechazo imagen .....	4
Figura 2-1. Respuesta en frecuencia de los cuatro tipos básicos de filtros. Las líneas continuas son la función ideal y las líneas discontinuas la función real.....	9
Figura 2-2. Especificaciones prácticas de la atenuación del filtro.....	10
Figura 2-3. Funciones de transferencia típicas para filtros de cuatro polos .....	11
Figura 2-4. Clasificación de los filtros según el rango de frecuencias de funcionamiento. ....	14
Figura 2-5. Distorsión producida por la no-linealidad en un filtro (medida con el THD) (a). Distorsión producida por la intermodulación (medida con el IP3) (b). ....	16
Figura 2-6. Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia imagen.....	17
Figura 2-7. Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura y efecto del filtrado complejo .....	17
Figura 2-8. Implementación práctica del rechazo de la frecuencia imagen de la arquitectura de la Figura 2-7.....	18
Figura 2-9. Conversión de un filtro paso bajo a uno polifásico centrado en $\omega_{FI}$ . Representación compleja (a), implementación mediante diagrama de bloques (b). ....	19
Figura 2-10. Filtro C-L-C (a), implementación gm-C (b) e implementación gm-C polifásica (c) .....	20
Figura 3-1. Ventana del asistente de diseño .....	24
Figura 3-2. Esquemático resultante .....	25
Figura 3-3. Respuesta del filtro paso bajo pasivo.....	25
Figura 3-4. Giradores simulados con OTAs: implementación de una bobina conectada a tierra mediante OTAs asimétricos (a), implementación de una bobina conectada a tierra mediante OTAs diferenciales (b), implementación de una bobina conectada a tierra mediante OTAs asimétricos (c) e implementación de una bobina flotante mediante OTAs diferenciales(d).....	26

Figura 3-5. OTA ideal (fuente de corriente controlada por tensión ideal proporcionada por ADS) .....	26
Figura 3-6. Filtro paso bajo activo realizado con OTAs ideales. ....	27
Figura 3-7. Respuesta del filtro tanto para su versión pasiva (bobinas y condensadores) como para su versión activa ideal (OTAs ideales y condensadores).....	27
Figura 3-8. OTA de Nauta en ADS .....	28
Figura 3-9. Proceso de diseño Gm/Id .....	29
Figura 3-10. Filtro paso bajo con OTAs reales.....	29
Figura 3-11. Respuesta del filtro paso bajo con OTAs reales .....	30
Figura 3-12. Consumo del filtro paso bajo .....	30
Figura 3-13. Integradores desarrollados con OTAs .....	31
Figura 3-14. Estructura filtro polifásico .....	31
Figura 3-15. Filtro polifásico con transconductores ideales .....	32
Figura 3-16. Resultados obtenidos para la rama I (izquierda) y la rama Q (derecha) ....	32
Figura 3-17. Filtro polifásico con OTAs reales .....	34
Figura 3-18. Resultados obtenidos para la rama I (izquierda) y la rama Q (derecha) ....	34
Figura 3-19. Consumo del filtro polifásico real.....	34
Figura 3-20. Transconductores de Nauta (izquierda) y Nauta simplificado (derecha)...	35
Figura 3-21. Resultados obtenidos para la rama I (izquierda) y la rama Q (derecha) .....	35
Figura 3-22. Consumo de potencia del filtro polifásico final .....	36
Figura 4-1. Parámetros de una resistencia. ....	37
Figura 4-2. Cuadro de diálogo de Cadence de ajuste de parámetros de resistencias.....	38
Figura 4-3. Circuito equivalente de una resistencia.....	39
Figura 4-4. Layout de una resistencia del tipo RNHR_RF.....	40
Figura 4-5. Layout de una resistencia del tipo RNNPO_RF. ....	40
Figura 4-6. Construcción de un condensador. ....	41
Figura 4-7. Cuadro de diálogo de Cadence de ajuste de parámetros de condensador. ...	42
Figura 4-8. Circuito equivalente del condensador MIMCAPM_MM. ....	43
Figura 4-9. Layout de condensadores del tipo MIMCAPM_RF. ....	44
Figura 4-10. Sección transversal del layout de un condensador MIMCAPM_RF. ....	44
Figura 4-11. Modelo de una bobina cuadrada simple.....	45
Figura 4-12. Campos eléctricos y magnéticos en un inductor integrado.....	46
Figura 4-13. Modelo clásico de un inductor espiral integrado. ....	47

Figura 4-14. Cuadro de diálogo de Cadence de ajuste de parámetros de bobinas.....	47
Figura 4-15. Layout de una bobina del tipo L_SLCR20K_RF.....	48
Figura 4-16. Sección transversal de transistores MOS. ....	49
Figura 4-17. Transistor MOSFET tipo n en corte.....	49
Figura 4-18. Transistor MOSFET tipo n en zona óhmica. ....	50
Figura 4-19. Transistor MOSFET tipo n en zona de saturación. ....	51
Figura 4-20. Modelo simplificado de pequeña señal de un transistor MOSFET. ....	51
Figura 4-21. Modelo completo de pequeña señal de un transistor MOSFET.....	52
Figura 4-22. Cuadro de diálogo de Cadence de ajuste de parámetros de un transistor MOSFET. ....	54
Figura 4-23. Circuito equivalente de los transistores optimizados para RF N/P.....	55
Figura 4-24. Layout de un transistor MOSFET para RF. ....	56
Figura 4-25. Representación de un pad. ....	57
Figura 4-26. Cuadro de diálogo de Cadence de ajuste de parámetros de un PAD_RF. .	57
Figura 4-27. Circuito equivalente de un PAD_RF. ....	58
Figura 4-28. Layout de un pad para RF. ....	58
Figura 5-1. Implementación del inversor.....	62
Figura 5-2. Esquemático del inversor en Cadence ....	62
Figura 5-3. Símbolo del inversor ....	63
Figura 5-4. Testbench para simular el inversor ....	63
Figura 5-5. Simulación del inversor a nivel de esquemático.....	64
Figura 5-6. Layout del inversor ....	64
Figura 5-7. Respuesta del layout.....	65
Figura 5-8. Esquemático del Nauta simplificado.....	66
Figura 5-9. Esquemático del OTA clase A-B en Cadence ....	67
Figura 5-10. Simulación OTA clase A-B en ADS (a) y en Cadence (b).....	67
Figura 5-11. Layout del transconductor clase A-B.....	68
Figura 5-12. Respuesta en frecuencia del transconductor de Nauta simplificado en layout .....	69
Figura 5-13. Filtro polifásico .....	69
Figura 5-14. Transconductor cruzado central .....	70
Figura 5-15. Transconductor cruzado lateral .....	70
Figura 5-16. Simulación OTA Nauta central en ADS (a) y en Cadence (b) .....	71

Figura 5-17. Simulación OTA Nauta lateral en ADS (a) y en Cadence (b) .....	71
Figura 5-18. Layout del transductor central.....	72
Figura 5-19. Layout de los transconductores laterales .....	72
Figura 5-20. Respuesta en frecuencia del extraído del transductor central .....	73
Figura 5-21. Respuesta en frecuencia del extraído de los transconductores laterales ....	73
Figura 6-1. Filtro polifásico en Cadence .....	75
Figura 6-2. Respuesta en frecuencia del filtro polifásico en ADS (a) y en Cadence (b)	76
Figura 6-3. Rama I y Q .....	77
Figura 6-4. Layout de las ramas I y Q .....	77
Figura 6-5. Ramas cruzadas.....	78
Figura 6-6. Layout rama cruzada central .....	78
Figura 6-7. Layout ramas cruzadas laterales .....	78
Figura 6-8. Layout del filtro polifásico sin condensadores .....	79
Figura 6-9. Layout del filtro polifásico completo.....	80
Figura 6-10. Filtro polifásico con conexiones a sustrato .....	81
Figura 6-11. Respuesta del Layout del filtro polifásico.....	81
Figura 6-12. Consumo del filtro en simulaciones post-layout.....	82
Figura 6-13. Simulaciones Montecarlo para la rama I (a) y la rama (Q).....	83
Figura 7-1. Setup de simulación del cabezal de recepción utilizando ADS Dynamic Link .....	86
Figura 7-2. Ganancia y NF para toda la banda del estándar 802.15.4. ....	87
Figura 7-3. NF para un canal. ....	88
Figura 7-4. NF máxima frente a la potencia de entrada de un receptor para el estándar 802.15.4. ....	90
Figura 7-5. Rechazo imagen. ....	91
Figura 7-6. Respuesta en frecuencia del receptor. ....	91
Figura 7-7. Adaptación de entrada.....	92
Figura 7-8. Punto de intercepción IIP <sub>3</sub> del receptor para simulación de esquemático. ..	94
Figura 7-9. Punto de intercepción IIP <sub>3</sub> del receptor para simulación post-layout. ....	94
Figura 8-1. Respuesta en frecuencia post-layout del filtro polifásico .....	98

# Índice de Tablas

---

Tabla 1-1. Especificaciones del filtro .....	6
Tabla 3-1. Dimensiones del OTA $g_m = 63 \mu S$ .....	29
Tabla 3-2. Dimensiones del OTA central .....	33
Tabla 3-3. Dimensiones de los OTAs laterales.....	33
Tabla 4-1. Capacidades de la zona de óxido de un transistor MOSFET .....	53
Tabla 4-2. Componentes de la tecnología UMC 0.18 $\mu m$ CMOS.....	59
Tabla 7-1. Ganancia y NF del receptor para distintas configuraciones. Simulación del esquemático .....	89
Tabla 7-2. Ganancia y NF del receptor para distintas configuraciones. Simulación post-layout .....	89
Tabla 7-3. Consumo de potencia .....	95
Tabla 8-1. Resultados de simulaciones del cabezal de recepción.....	99
Tabla 8-2. Comparación del cabezal de recepción diseñado con otros trabajos de la bibliografía .....	100





# Capítulo 1

---

## 1. Introducción

### 1.1. Antecedentes

La implementación de transceptores CMOS de bajo consumo que trabajan para la banda 2.4 GHz ha cobrado gran importancia en los últimos años. Esto es debido a la demanda que existe de este tipo de dispositivos, caracterizados por ser de bajo coste y poseer baterías de larga duración. Pese a que en dicha banda de trabajo se pueden encontrar otros estándares como Bluetooth o IEEE 802.11, el estándar 802.15.4 cumple con los requisitos de bajo coste y reducido consumo en el desarrollo de transceptores de baja tasa binaria. Este estándar permite trabajar en cuatro bandas de frecuencia: en la banda 868 MHz para Europa, en la banda 915 MHz en América, 780 MHz en China y 2.4 GHz a nivel global. La tasa de datos del estándar varía desde los 20 a los 250 kb/s en función de la banda en la que se opere. En cuanto a las aplicaciones del estándar, se destaca la automoción, domótica, aplicaciones industriales, sistemas médicos, aplicaciones comerciales, etcétera. Todas las aplicaciones tienen una característica común, la batería debe durar entre varios meses o incluso años sin ser remplazada [1].

Un transceptor se puede dividir en varios bloques claramente diferenciados. En primer lugar, hay dos bloques principales como son el receptor y el transmisor. Dentro de cada uno de estos bloques se puede distinguir un bloque denominado cabezal (o *front-end*). El cabezal (de recepción o de transmisión) trabaja en la frecuencia de RF (Radio Frecuencia) y es el encargado de adaptar la señal tras ser recibida, o para ser transmitida. Tras el cabezal se encuentra la etapa de filtrado, que permite al receptor o al transmisor quedarse con la banda de frecuencia deseada. Por otra parte, dentro de un transceptor se encuentra el sintetizador de frecuencias. Este bloque incluye el oscilador local que genera la señal necesaria para convertir la señal de entrada a una frecuencia determinada, a través de un mezclador. En la **Figura 1-1** se muestra el diagrama de bloques de un transceptor, en el cual se pueden apreciar los distintos elementos que se han mencionado.

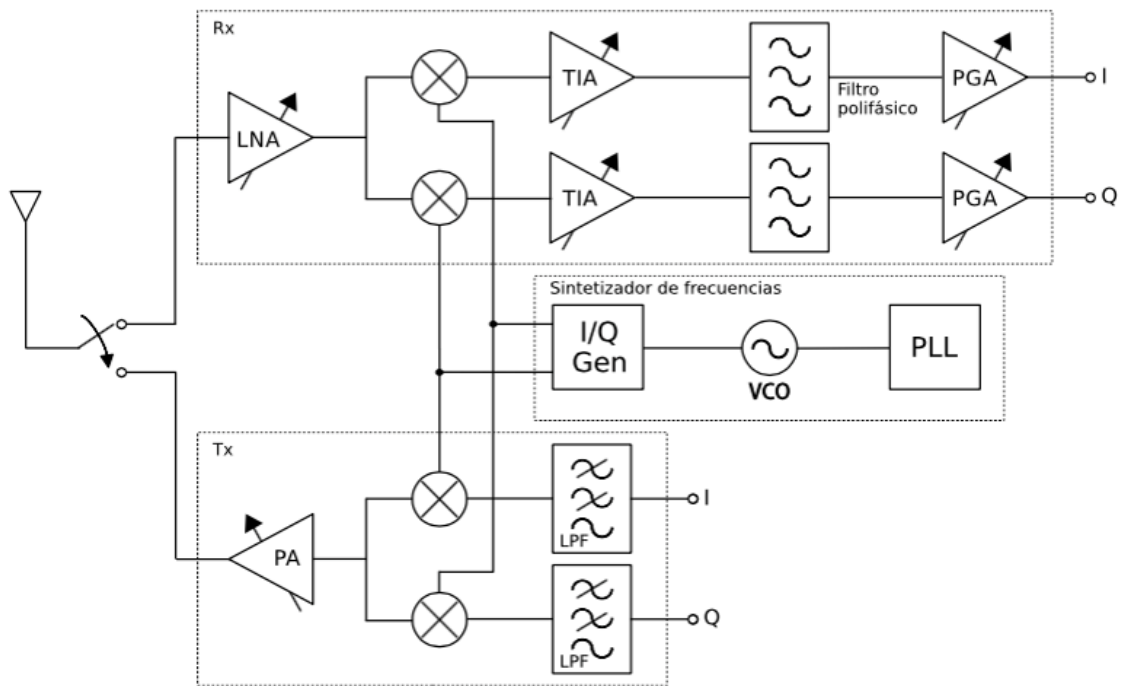


Figura 1-1. Diagrama de bloques de un transceptor.

Este trabajo fin de máster se centra en el segundo bloque de recepción y, específicamente, del filtro polifásico, el cual se encargará de solucionar los problemas relacionados con la presencia de frecuencias imágenes que aparecen durante la etapa de mezclado que se produce en el cabezal de recepción. Tal y como se puede ver en la **Figura 1-1**, este filtro se encuentra entre el amplificador de transimpedancia (TIA) y el amplificador de ganancia programable (PGA). A continuación, se dará una explicación sobre receptores [2].

## 1.2.Receptor

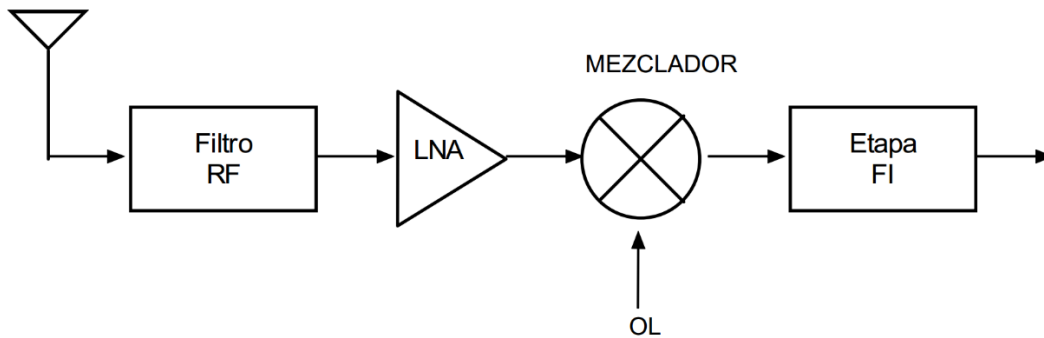
Un receptor es un equipo de radiocomunicaciones que procesa una determinada señal de entrada como información útil, tratando de añadir la mínima distorsión posible.

La integración de una cadena de recepción, generalmente llamada *front-end*, ofrece numerosas ventajas sobre la conexión discreta de los distintos bloques que la componen. Entre estas ventajas se incluyen:

- **Reducción de los efectos parásitos:** reduciendo la longitud de las pistas metálicas en los circuitos integrados con varios niveles de metalización, se consiguen menos capacidades parásitas.
- **Disminución del área:** se puede optimizar el área colocando los dispositivos fabricados muy próximos en un mismo chip.
- **Reducción del consumo:** debido al propio escalado del nivel de integración.

- **Disminución del coste de fabricación:** al necesitar menos intervención humana en el montaje del circuito.

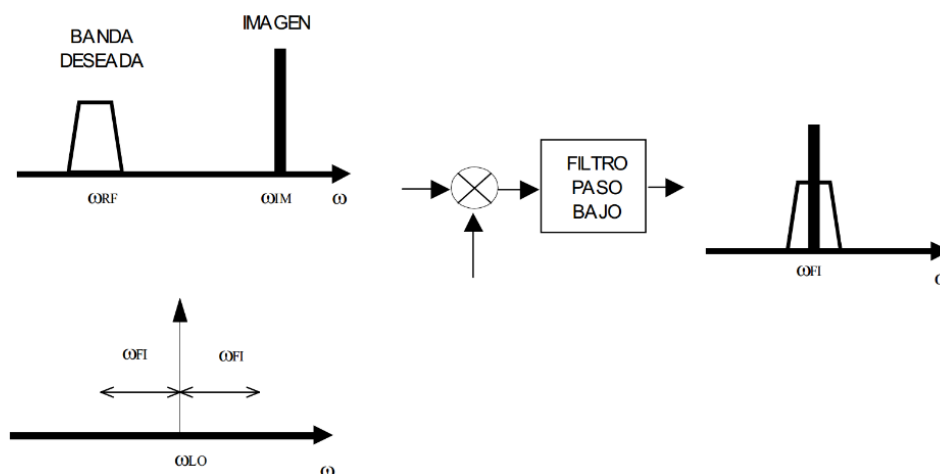
El esquema general de un receptor es el que se muestra en la **Figura 1-2**.



**Figura 1-2.** Esquema general de un receptor de radiofrecuencia

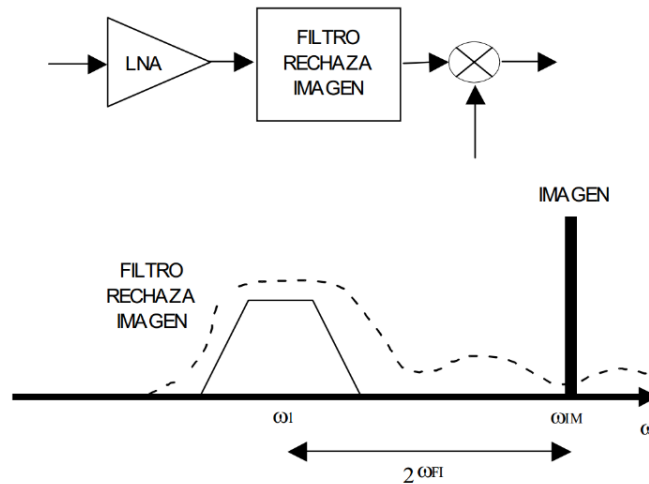
El filtro de RF a la entrada del receptor es el encargado de eliminar la señal no deseada obteniendo a su salida la banda útil ( $\omega_{RF}$ ). A continuación, la señal se amplifica gracias a la acción del amplificador de bajo ruido (LNA) y se convierte a una frecuencia más baja ( $\omega_{IF}$ ) para trabajar más cómodamente con ella. Un circuito llamado mezclador es el encargado de este cambio de frecuencias de  $\omega_{RF}$  a  $\omega_{IF}$ . Para ello necesita, además de la señal proveniente del LNA, una señal de frecuencia fija proporcionada por un oscilador local en la que  $\omega_{OL} = \omega_{RF} - \omega_{IF}$ . El resultado de esta operación son dos bandas, una centrada alrededor de  $\omega_{IF}$  y otra en  $2\omega_{RF} - \omega_{IF}$ . Un filtro paso bajo será el encargado de eliminar esta última componente, manteniendo únicamente la banda deseada en  $\omega_{IF}$ .

Debido a que el mezclador no conserva la polaridad de la diferencia entre sus entradas, traslada a la frecuencia de  $\omega_{IF}$  tanto la banda superior como la inferior, produciéndose entonces una degradación de la señal deseada. Este efecto es conocido como frecuencia imagen ( $\omega_{IM}$ ), se puede ver de forma gráfica en la **Figura 1-3**.



**Figura 1-3.** Representación gráfica de la aparición de la frecuencia imagen en la banda deseada

Existen diferentes técnicas que permiten eliminar la frecuencia imagen. La más común se basa en el uso de un filtro de rechazo imagen (ver **Figura 1-4**) el cual se diseña para tener una atenuación grande en la banda imagen y unas pérdidas relativamente pequeñas en la banda deseada, dos requisitos que pueden ser simultáneamente resueltos si  $2\omega_{IF}$  es suficientemente grande.



**Figura 1-4.** Representación gráfica de la acción de un filtro de rechazo imagen

No obstante, el problema que se da al usar este tipo de arquitecturas es que el filtro de rechazo de imagen por lo general no puede ser integrado. Al tener que situarse fuera del chip, obliga al amplificador de bajo ruido a presentar una impedancia de salida de  $50 \Omega$  haciendo que sea más difícil alcanzar los requerimientos de ruido, linealidad, ganancia y consumo de potencia del amplificador. Además, los filtros de rechazo de imagen son caros y voluminosos, lo cual dificulta el diseño de terminales de pequeño tamaño y bajo coste.

Otro método para reducir la degradación sufrida por la señal debida a la componente imagen se basa en el empleo de arquitecturas de rechazo de imagen basadas en multiplicadores activos. La idea de estas arquitecturas es procesar la señal y la frecuencia imagen de forma distinta, permitiendo la cancelación de la imagen mediante las réplicas negativas. La diferenciación entre la señal y la imagen es posible dado que las dos caen en diferentes lados de la frecuencia del oscilador local. Las arquitecturas de rechazo de imagen más conocidas son la Hartley y la Weaver [3] y su principal inconveniente es que aumentan considerablemente la complejidad del terminal, ya que incluyen dos o más multiplicadores, así como filtros paso bajo y sumadores de señal.

Como alternativa a estas estructuras, la opción que se toma actualmente es la sustitución del filtro paso bajo situado al final del cabezal por un filtro polifásico. Este tipo de filtros, también llamados filtros complejos, permiten el rechazo de la frecuencia imagen a

frecuencias bajas y suponen solo un pequeño aumento de la complejidad de los filtros paso bajo que, de cualquier modo, hay que situar antes de los convertidores analógico-digital (ADC) [2][4].

### **1.3. Objetivos**

El proceso de desarrollo de cualquier circuito integrado CMOS de radiofrecuencia consta de cuatro procesos principales: en primer lugar, se debe diseñar el circuito a nivel de esquemático; en segundo lugar, se implementa el *layout*, previo a la fabricación; posteriormente se envía a una *foundry* donde se lleva a cabo su fabricación y, por último, la toma de medidas del mismo, una vez ha sido fabricado. Dicho de otra manera, una vez se ha realizado el diseño a nivel de esquemático y se han realizado las simulaciones pertinentes para comprobar el correcto funcionamiento del mismo, se pasa a realizar el *layout* a partir del esquemático. Esto supone el primer paso en el proceso de fabricación puesto que consiste en convertir el diseño (esquemático) en una representación física del mismo. Es decir, el *layout* es necesario para poder fabricar el circuito, ya que a partir de sus especificaciones se crean las diversas máscaras a emplear en el proceso de fabricación. Por tanto, una vez se tiene el *layout*, se realizan simulaciones *post-layout* y se comprueba que los resultados obtenidos corresponden con los obtenidos en la simulación. Por último, se manda a fabricar el circuito y se realizan medidas al circuito fabricado para comprobar las prestaciones reales del circuito.

En este proyecto se llevará a cabo el *layout*, y las simulaciones *post-layout* correspondientes, partiendo de un filtro polifásico, diseñado para el estándar IEEE 802.15.4 [5][6]. Cabe destacar que, si bien en este trabajo fin de máster se va a realizar el *layout* de este filtro, este no se fabricará. A fecha de redacción de este trabajo fin de máster, dentro del grupo de trabajo se ha realizado el *layout* y simulaciones *post-layout* del *front-end* (cabezal de recepción) [7][8]. Sin embargo, tanto el transmisor [9] como el amplificador de ganancia programable [10] están aún a nivel de esquemático. Esta es la razón por la que no se fabricará el chip hasta tener el diseño de *layout* del transceptor completo. Por lo tanto, no se incluirán los *pads* que permitan introducir las señales de entrada y medir las señales de salida. Este paso se realizará cuando se tenga el *layout* del transceptor completo y se sepa con seguridad cuántas señales de entrada y salida son necesarias.

Por otra parte, este trabajo fin de máster forma parte de un proyecto de investigación científica coordinado entre el Instituto Universitario de Microelectrónica Aplicada (IUMA) y el Grupo de Ingeniería Electrónica de la Universidad de Sevilla. Este proyecto de título

“Diseño de circuitos de comunicaciones para alta radiación ambiental (ComRad)” tiene como objetivo desarrollar el primer dispositivo que permita el despliegue de redes de sensores inalámbricos en entornos de alta radiación ambiental [11]. En el grupo de trabajo ya se han empezado a realizar pruebas de análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, se han realizado unas pruebas preliminares en el LNA [12]. Asimismo, se están llevando a cabo pruebas en otros circuitos del transceptor, incluyendo el oscilador local.

En resumen, el objetivo de este trabajo fin de máster es obtener el *layout* de un filtro polifásico para el estándar IEEE 802.15.4 usando la tecnología CMOS 0.18  $\mu\text{m}$ . Además, se realizarán simulaciones *post-layout* para comprobar el correcto funcionamiento del diseño realizado. Por otra parte, al tratarse de un circuito integrado se desea que nuestro filtro polifásico ocupe la menor área posible.

Para ello, se utiliza la herramienta software *Virtuoso* de *Cadence* y se realizan las simulaciones con el software *Advanced Design System (ADS)* de la empresa *Keysight*, utilizando el *ADS Dynamic Link*. De esta manera, se realiza una comunicación entre *Cadence* y *ADS*, pudiendo simular los *layout* de los circuitos integrados, desarrollados en *Cadence*, con las librerías de simulación de *ADS* [13].

Para poder utilizar los distintos componentes de la tecnología CMOS 0.18  $\mu\text{m}$  es necesario instalar la librería o kit de diseño (*Design Kit*) correspondiente, en este caso la de *United Microelectronics Corporation (UMC)*.

Las especificaciones del filtro polifásico vienen definidas por el estándar IEE 802.15.4 y son las que se encuentran en la **Tabla 1-1**:

**Tabla 1-1.** Especificaciones del filtro

<b>Parámetros</b>	<b>Especificaciones</b>
Frecuencia central	2.5 MHz
Frecuencia canal adyacente	$\pm 5$ MHz
Frecuencia canal alterno	$\pm 10$ MHz
Rechazo canal adyacente	0 dB
Rechazo canal alterno	30 dB
Ancho de banda	3 MHz

## 1.4. Estructura de la memoria

Esta memoria consta de ocho capítulos y dos anexos, además de una lista bibliográfica con las referencias consultadas durante el desarrollo del trabajo fin de máster y la elaboración de esta memoria:

- **Capítulo 1: Introducción.** En este capítulo se ha realizado una introducción con los antecedentes de este trabajo, y se definen los objetivos marcados para este trabajo fin de máster.
- **Capítulo 2: Estado del arte.** En este capítulo se realiza un estudio de los distintos tipos de filtro existentes a partir de clasificaciones atendiendo a distintos aspectos como pueden ser el tipo de respuesta o el tipo de componentes, entre otros. Además, se analiza la necesidad de filtros polifásicos en receptores Low-IF y se estudian distintos filtros de este tipo encontrados en la bibliografía.
- **Capítulo 3: Diseño del filtro polifásico.** Este capítulo es un repaso de las distintas fases que se deben llevar a cabo a la hora de diseñar un filtro activo polifásico. En primer lugar, se diseñará el filtro paso bajo con componentes pasivos acorde a las especificaciones. Una vez hecho esto, se implementa el filtro gm-C activo con transconductores ideales. El siguiente paso será implementar el filtro activo paso bajo con OTAs reales. Cuando se comprueba el correcto funcionamiento, se convierte este filtro a polifásico o complejo.
- **Capítulo 4: Estudio de la tecnología.** En este capítulo se lleva a cabo el estudio de la tecnología *UMC 0.18  $\mu\text{m}$  1P6M Salicide Mixed Mode/RF CMOS* de la *foundry United Microelectronics Corporation (UMC)*, que es la que se ha utilizado para todo el transceptor. En este estudio se comenzará con una descripción teórica de los dispositivos, para, posteriormente, analizar los distintos modelos para cada componente.
- **Capítulo 5: Diseño a nivel de *layout* de los OTAs.** En este capítulo se tratará la implementación del *layout* de los diferentes transconductores utilizados para implementar el filtro polifásico. Para ello, se partirá de la estructura más simple implementada, para ir aumentando de forma gradual hasta conseguir la implementación final de cada uno de los transconductores.
- **Capítulo 6: Diseño a nivel de *layout* del filtro polifásico.** En este capítulo se realizará la implementación en *layout* del filtro polifásico. Para ello, se partirá de las estructuras obtenidas en el capítulo anterior para construir cada una de las ramas

necesarias para implementar el filtro. Una vez hecho esto, se unen y se realizan las pruebas pertinentes a la implementación.

- **Capítulo 7: Resultados de simulación.** En este capítulo se realiza la unión del filtro polifásico con un cabezal de recepción desarrollado en el grupo de trabajo para construir un receptor sobre el que se realizarán las simulaciones *post-layout* pertinentes.
- **Capítulo 8: Conclusiones.** En este capítulo se comentan las conclusiones obtenidas del trabajo desarrollado y se tratan las líneas futuras a seguir.

En cuanto a los anexos que se incluyen al final de esta memoria de trabajo fin de máster, el primero de ellos muestra algunos artículos científicos (*papers*) desarrollados en inglés, conjuntamente con otros compañeros y los tutores, acerca del receptor diseñado. Estos artículos fueron presentados en las dos últimas ediciones de la Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: *Design of Circuits and Integrated Systems*). En el segundo anexo se puede encontrar un artículo científico desarrollado en el grupo de trabajo, en el cual se explica el análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, se han analizado distintas estructuras de amplificadores de bajo ruido (LNA).



# Capítulo 2

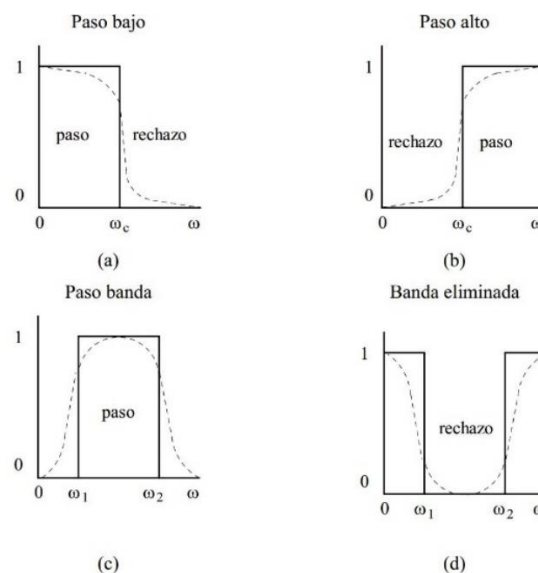
## 2. Estado del arte

Un filtro es un dispositivo diseñado para dejar pasar todas las frecuencias dentro de un rango especificado (banda de paso) y rechazar todas las frecuencias fuera de ese rango (banda de rechazo). Idealmente, un filtro tiene pérdidas cero en la banda de paso y pérdidas infinitas en la banda de rechazo, no causando ninguna distorsión a la señal que pasa a través de él. Existen diferentes criterios para definir los filtros, los cuales se explicarán a medida que se avance en el capítulo [2][4][5].

A continuación, se realiza una introducción sobre filtros polifásicos. Al final de este capítulo se realiza un estudio de estructuras de filtros polifásicos vistos en la bibliografía. Si el lector ya conoce la teoría básica de filtros, puede proceder directamente a este apartado.

### 2.1. Clasificación según la función que desempeña

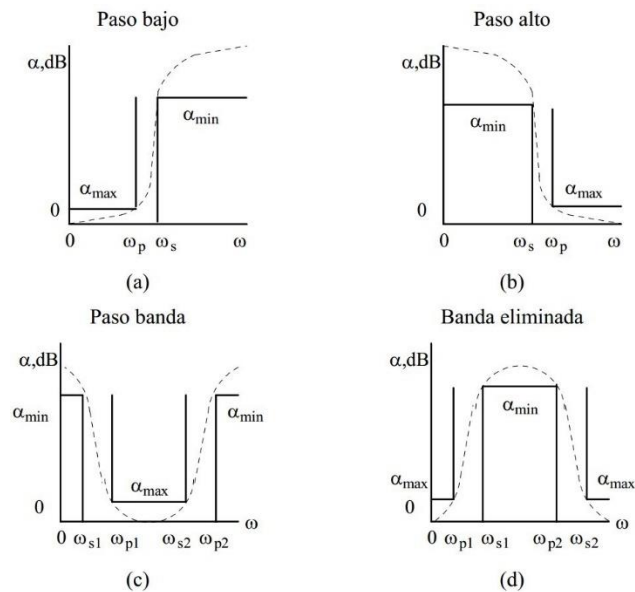
De acuerdo a la función que realizan, los filtros se clasifican como: paso bajo (LPF), paso alto (HPF), paso banda (BPS) y rechazo banda (SBF). En la **Figura 2-1** se puede observar un ejemplo de ellos.



**Figura 2-1.** Respuesta en frecuencia de los cuatro tipos básicos de filtros. Las líneas continuas son la función ideal y las líneas discontinuas la función real.

Dado que resulta imposible realizar filtros con características ideales, es decir, con cambios bruscos entre la banda de paso y la banda de rechazo, los filtros generalmente se

hacen dentro de ciertas tolerancias en términos de atenuación ( $\alpha$ ) en las bandas de paso (pérdidas de inserción) de rechazo (véase la **Figura 2-2**).



**Figura 2-2.** Especificaciones prácticas de la atenuación del filtro

Existen diferentes aproximaciones que nos permiten diseñar filtros con características parecidas a los filtros ideales, normalmente a expensas de otros parámetros. Las aproximaciones más importantes son:

- Butterworth
- Chebyshev
- Bessel-Thomson
- Elíptico (igual rizado)
- Elíptico (máximamente plano)

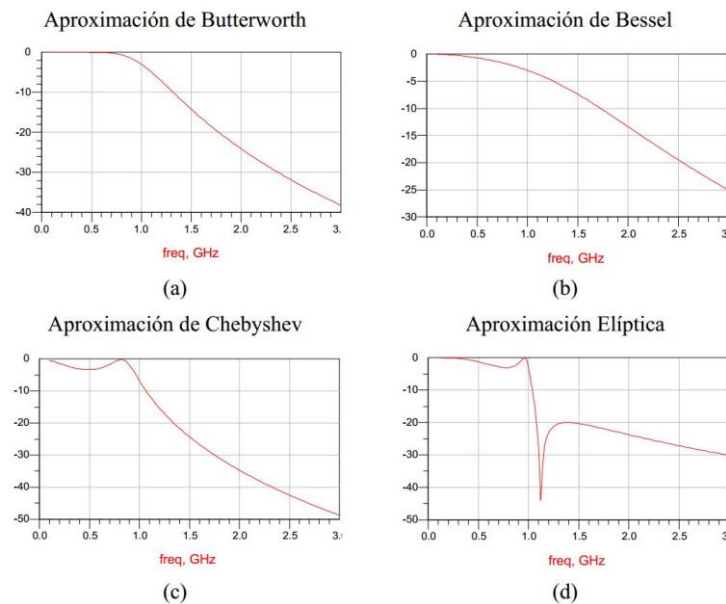
Los filtros Butterworth (en la **Figura 2-3 (a)**) están diseñados para producir la respuesta más plana posible en la banda de paso. Esto significa que el valor de las pérdidas de inserción de este tipo de filtros es igual a las pérdidas de inserción máximas en el centro de la banda de paso y aumenta hasta un valor determinado en el borde de la banda de transición. A partir de este punto las pérdidas de inserción aumentan mucho más rápidamente que en la banda de paso. Debido a que la respuesta es plana en la banda de paso, este tipo de filtros tiende a manifestar una baja distorsión de amplitud y fase. Como contrapartida, los filtros Butterworth presentan un rechazo fuera de la banda de paso no tan bueno como el de otros tipos de filtro.

La respuesta de los filtros Chebyshev (en la **Figura 2-3 (c)**) presenta un rizado en la banda de paso, es decir, las pérdidas de inserción varían entre un mínimo y un máximo a lo largo

de toda la banda de paso. Esto implica que la distorsión de amplitud y fase de estos filtros es mayor, pero como compensación, las características de rechazo de los filtros de este tipo son superiores a las de los filtros de tipo Butterworth. De esta forma, con pocos componentes y, a pesar de tener una distorsión en amplitud y fase más alta, se puede conseguir que las pérdidas de inserción sean las especificadas en la banda de rechazo.

Los filtros de Bessel-Thomson (**Figura 2-3 (b)**) son una aproximación lineal en fase, es decir, tienen una fase aproximadamente lineal. Fuera de la banda de paso, las pérdidas de inserción aumentan gradualmente. En la banda de rechazo no tiene una respuesta tan buena como en los filtros de Butterworth o de Chebyshev, (la pendiente de bajada tiene un valor de 6 dB/octava, donde  $n$  es el orden del polinomio de Bessel en la aproximación paso bajo).

Las respuestas elípticas máximamente plana y de igual rizado son idénticas en la banda de paso a la de los filtros Butterworth y de Chebyshev, respectivamente (ver **Figura 2-3 (d)**). Sin embargo, hay una diferencia muy importante en la banda de rechazo, y es que las pérdidas de inserción alcanzan un valor infinito en una o más frecuencias de la misma banda. La ventaja de este tipo de filtros es que la transición es mucho más rápida, aunque su estructura sea un poco más compleja.



**Figura 2-3.** Funciones de transferencia típicas para filtros de cuatro polos

## 2.2. Clasificación según los componentes que lo forman

De acuerdo con la naturaleza de los componentes usados para implementar el filtro podemos distinguir entre dos tipos principales de filtros: los filtros pasivos y los filtros activos.

### 2.2.1. Filtros pasivos

Un filtro pasivo es básicamente un filtro que no posee ningún elemento que amplifica (transistores, amplificadores operacionales, etc.). En términos del número de componentes necesarios, los filtros pasivos son la implementación más simple de una función de transferencia dada. Estos filtros tienen otras ventajas como:

- Debido a que no tienen ningún componente activo, no precisan de ninguna fuente de alimentación.
- Su respuesta no está acotada por las limitaciones en ancho de banda de amplificadores operacionales o cualquier otro tipo de circuito activo y, por tanto, pueden trabajar bien con alta frecuencia.
- Los filtros pasivos se pueden utilizar en aquellas aplicaciones que implican corrientes o tensiones elevadas.
- Generan poco ruido en comparación con los circuitos que usan elementos activos.
- El ruido que producen es simplemente ruido térmico de los componentes resistivos y, si se diseña correctamente, la amplitud de este ruido puede ser muy baja.

Sin embargo, presentan algunas desventajas importantes para según qué aplicaciones:

- Al no utilizar ningún elemento activo, no proporcionan ganancia.
- Además, para la síntesis de la mayoría de filtros pasivos son necesarios varios inductores y el coste que implica su uso en circuitos integrados puede ser prohibitivo en términos de área.

### 2.2.2. Filtros activos

Los filtros activos emplean elementos que amplifican, especialmente amplificadores operacionales (OA) y amplificadores operacionales transconductores (OTA), junto con resistencias y condensadores en sus lazos de realimentación. Existe una serie de ventajas asociadas a este tipo de filtros:

- Pueden tener ganancia y, además, sus impedancias de entrada y salida se pueden ajustar a los valores deseados (en general esto no es siempre posible con los filtros pasivos).
- Su cualidad más importante es posiblemente que carecen de inductores, de tal modo que se eliminan los problemas asociados a componentes.

No obstante, al igual que los pasivos también poseen una serie de desventajas:

- El funcionamiento en alta frecuencia está limitado por el producto ganancia/ancho de banda de los elementos que amplifican.
- Los filtros activos generan más ruido debido a la circuitería de amplificación, aunque haciendo un diseño cuidadoso y usando amplificadores de bajo ruido esto se puede reducir al mínimo.

En [14] se puede encontrar una descripción detallada de los filtros activos basados en OA.

Otro tipo de filtros, llamados filtros de condensadores o capacidades conmutadas, solventan algunos de los problemas inherentes a los filtros activos comunes y añade algunas nuevas cualidades interesantes. Este tipo de filtros no necesita de ningún condensador o inductor externo y su frecuencia de corte se puede fijar en un amplio rango con una exactitud muy alta mediante el uso de una frecuencia de reloj externa. Esto posibilita hacer diseños robustos y con alta repetitividad, con el coste reducido de osciladores baratos controlados por un cristal. Un detalle a tener en cuenta de este tipo de filtros es su baja sensibilidad a cambios de temperatura.

La principal diferencia entre los filtros de capacidades conmutadas y los filtros activos convencionales es que trabajan con datos muestreados, es decir, trabajan en tiempo discreto en lugar de en tiempo continuo. El funcionamiento de los filtros de capacidades conmutadas se fundamenta en la posibilidad de simular el funcionamiento de resistencias mediante el uso de condensadores integrados y conmutadores MOS. Si bien la tolerancia en el valor absoluto de las capacidades integradas es alta, su tolerancia con respecto a otros condensadores del chip se puede ajustar muy bien, dando por resultado filtros integrados cuyas frecuencias de corte son proporcionales y determinadas únicamente por la frecuencia del reloj externo.

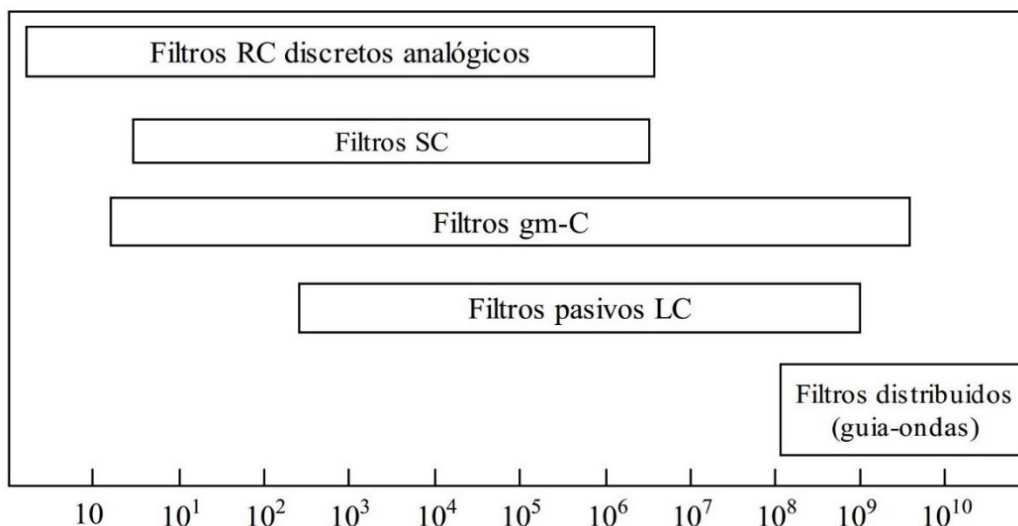
El inconveniente principal de los filtros conmutados es que presentan mucho más ruido a su salida (tanto ruido aleatorio como del propio reloj) que los circuitos activos convencionales. Además, su frecuencia máxima de operación está limitada por el ancho de banda de los dispositivos activos [15]. Debido a esta limitación, la aproximación de capacidades conmutadas no se suele utilizar para el filtrado en alta frecuencia, por lo que la solución más común es utilizar los filtros activos basados en OTA.

La mayoría de los OA se basan en la conexión en cascada de dos o más etapas de amplificación. Esta configuración proporciona una ganancia elevada, pero convierte al circuito en inestable. Para evitar esta inestabilidad, se suele usar por lo general una red de realimentación de compensación, la cual disminuye el producto ganancia-ancho de banda (GBW) del OA. Un OTA no es más que un OA sin la segunda etapa. Esto significa que hay

menos nodos internos en el circuito y, por tanto, hay un aumento en el ancho de banda del circuito.

Por esta razón, los filtros activos basados en OTA están especialmente enfocados a la realización de filtros integrados de alta frecuencia. Esta técnica de diseño utiliza solamente transconductores y condensadores y se denominan filtros gm-C. Aunque la aplicación fundamental de este método de diseño son los filtros de alta frecuencia, los circuitos gm-C se pueden utilizar también para el diseño de filtros integrados en frecuencias bajas.

La **Figura 2-4** muestra una clasificación de los filtros según el rango de frecuencias de funcionamiento. Como se puede apreciar, la aproximación gm-C es el método más conveniente para el diseño de filtros de frecuencias intermedias (FI).



**Figura 2-4.** Clasificación de los filtros según el rango de frecuencias de funcionamiento.

### 2.2.3. Efectos de segundo orden

#### 2.2.3.1. DC-offset

Los *offsets* de continua pueden corromper la señal y, en el peor caso, podrían saturar las etapas siguientes. Este efecto es más importante en filtros paso bajo puesto que los paso banda no usan la frecuencia cero. En caso necesario habrá que compensar este efecto mediante sistemas que permitan el calibrado.

#### 2.2.3.2. Ruido

El ruido generado por los dispositivos semiconductores está presente en la salida de cualquier filtro construido con componentes activos. En la mayoría de los casos, las últimas etapas del filtro eliminan el ruido presente en la banda de rechazo generado por las etapas precedentes, pero no hacen lo mismo con el ruido de la banda de paso. En la mayoría de los

sistemas el ruido presenta pocos problemas ya que los filtros de FI están conectados generalmente a un convertidor analógico digital (ADC) y la magnitud del ruido raramente excede el valor del bit menos significativo. Sin embargo, si se pretende mejorar la exactitud de los datos deberemos reducir el ruido tanto como sea posible.

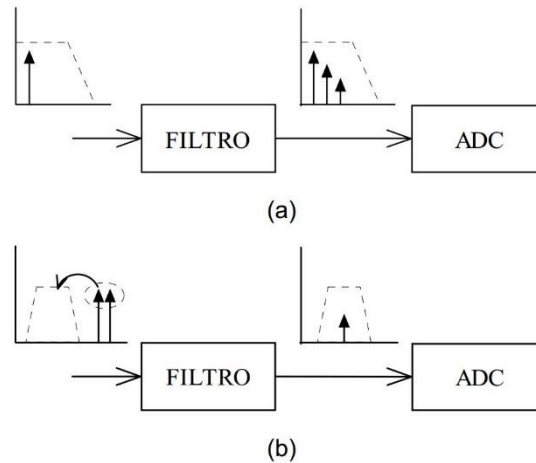
### 2.2.3.3. Distorsión

Si los circuitos activos de los que se compone el filtro presentan no-linealidades, a la salida aparecerán componentes armónicas de la frecuencia de la señal de entrada. Estos armónicos se convierten en entradas al convertidor analógico-digital, que los transforma a digital con el resto de la señal. Igual que sucede con el ruido, cada etapa del filtro paso bajo elimina las componentes de la distorsión de la banda de rechazo que genera la etapa anterior. El nivel de distorsión varía con la frecuencia de la señal de entrada, la amplitud, la función de transferencia y la frecuencia de corte.

La distorsión armónica total (THD) es una especificación usada a menudo como representación numérica de la distorsión presente en la salida de un circuito activo. La THD es la suma del valor eficaz de las distorsiones armónicas individuales (es decir 2º, 3º, etc.) creada por la no-linealidad de los componentes activos y pasivos en el circuito cuando es atacado por una entrada sinusoidal pura con una amplitud y una frecuencia dadas. Su medida precisa una entrada sinusoidal de muy baja distorsión, la eliminación de la componente correspondiente a la frecuencia fundamental de la salida y la medida de amplitud de los armónicos restantes que son, típicamente, de 60 dB a 140 dB menos que el fundamental.

En filtros activos, la THD se especifica generalmente en dBc (dB relativo a la amplitud de la componente fundamental) en una frecuencia y amplitud específicas (por ejemplo,  $10 \cdot V_{p-p}$  para una frecuencia de 1KHz).

La figura de mérito que relaciona el ruido y la distorsión es el rango dinámico (DR). El DR se define generalmente como el nivel de entrada máximo que el circuito puede tolerar respecto al mínimo nivel de entrada para el cual el circuito proporciona una calidad razonable de señal. En un filtro activo, las no-linealidades definen el extremo superior (típicamente: la tensión de entrada máxima para tener un THD del 1%) y el ruido el extremo inferior.



**Figura 2-5.** Distorsión producida por la no-linealidad en un filtro (medida con el THD) (a). Distorsión producida por la intermodulación (medida con el IP3) (b).

Las no-linealidades en un filtro paso bajo se pueden medir mediante el THD (véase la **Figura 2-5 (a)**). Sin embargo, en el caso de un circuito paso banda, la medida más adecuada es la intermodulación de tercer orden, creada por dos tonos en la banda o combinaciones de dos tonos en la banda de rechazo que producen espurios en la banda de paso **Figura 2-5 (b)**). Esta no-linealidad es caracterizada por el punto de intercepción de tercer orden (IP3). Cuando la definición del rango dinámico se basa en el comportamiento de la intermodulación, el rango dinámico se llama rango dinámico libre de espurios (SFDR) [14].

### 2.3. Filtros polifásicos

Los filtros polifásicos se utilizan para rechazar la señal imagen en receptores de Low-IF. Para entender cómo son capaces de rechazar la señal imagen, se considera la representación compleja del esquema de bloques del receptor mostrado en la **Figura 2-6**. Con objeto de simplificar el análisis, se supondrá que solo están presentes en la entrada del mezclador la señal deseada y su imagen. De esta forma, las frecuencias de la señal y de la señal imagen serán  $\omega_{OL} + \omega_{IF}$  y  $\omega_{OL} - \omega_{IF}$  respectivamente. Después de eliminar los términos en  $2\omega_{OL}$  (el mezclador lleva implícita una característica paso bajo), el resultado de mezclar las señales OL y RF en el dominio complejo es:

$$B = G_{mezclador} \cdot (X_{señal} \cdot e^{j\omega_{FI}t} + X_{imagen} \cdot e^{-j\omega_{FI}t}) = B_I + j \cdot B_Q \quad (2.1)$$

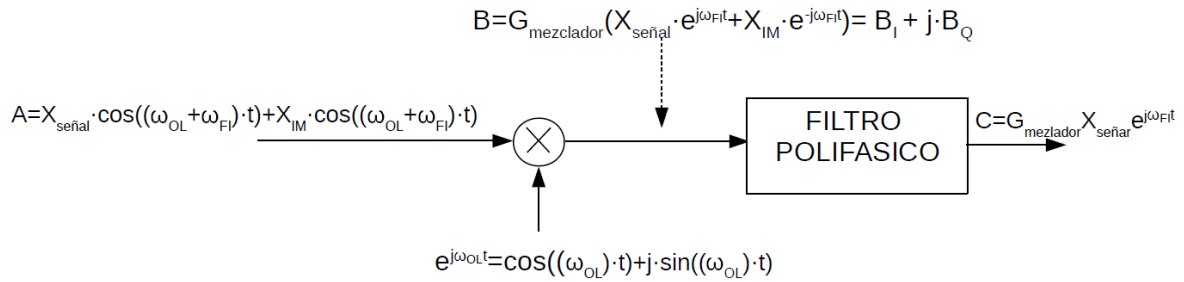
donde  $B_I$  y  $j \cdot B_Q$  son las partes real e imaginaria de la salida del mezclador y se pueden expresar como:

$$B_I = G_{mezclador} \cdot (X_{señal} \cdot \cos(\omega_{FI} \cdot t) + X_{imagen} \cdot \cos(\omega_{FI} \cdot t)) \quad (2.3)$$

$$B_Q = G_{mezclador} \cdot (X_{señal} \cdot \sin(\omega_{FI} \cdot t) - X_{imagen} \cdot \sin(\omega_{FI} \cdot t)) \quad (2.2)$$

donde  $G_{mezclador}$  es la ganancia del mezclador.

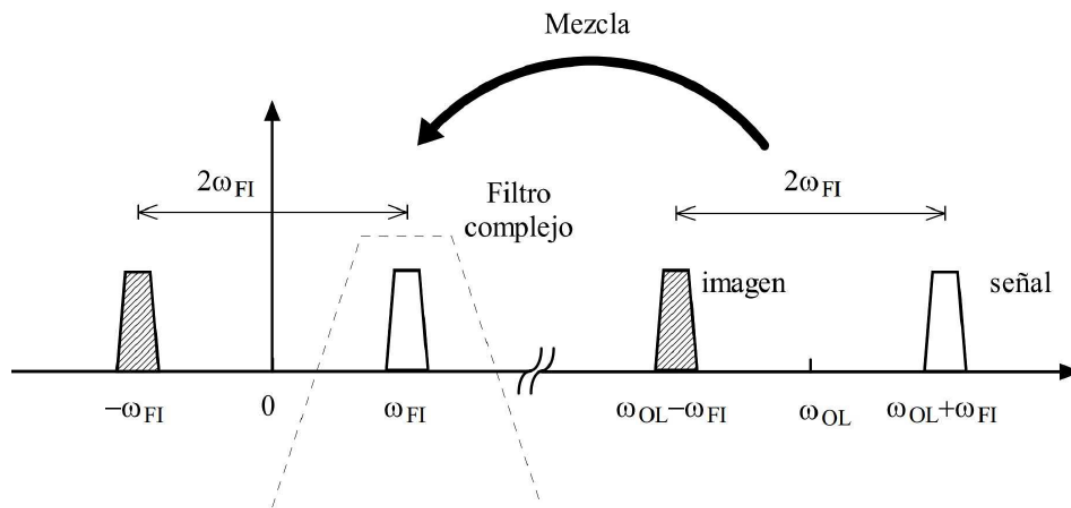




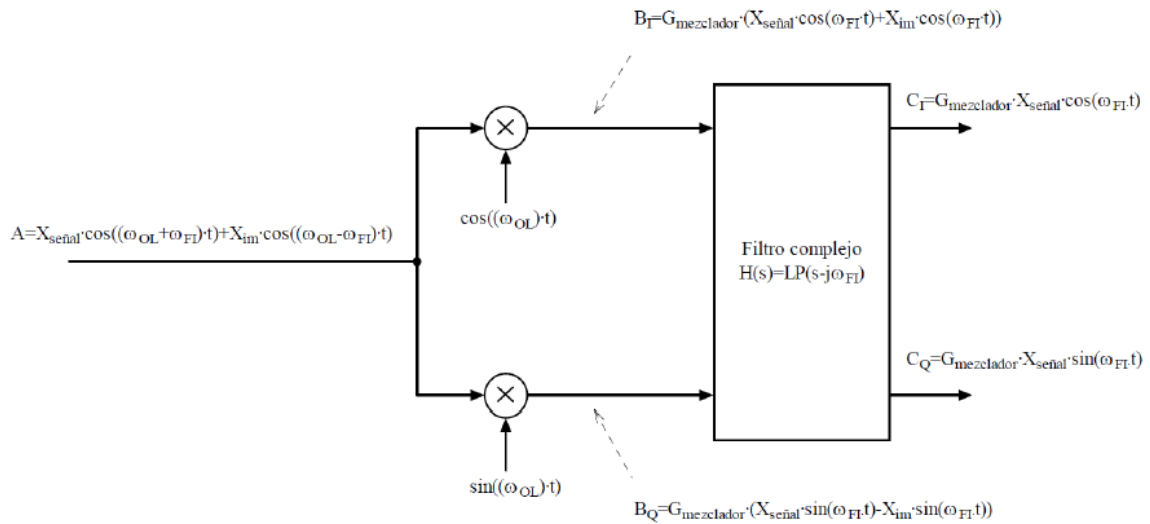
**Figura 2-6.** Representación en el dominio complejo de la arquitectura de rechazo de la frecuencia imagen

En las ecuaciones anteriores, tanto la señal deseada como la imagen en la rama I están desfasadas  $90^\circ$  con respecto a sus equivalentes en la rama Q. La figura **Figura 2-7** muestra de forma gráfica el proceso de mezclado complejo de la señal deseada y la imagen. Después de la conversión se mantiene la separación entre la señal y la imagen ( $2 \cdot \omega_{FI}$ ). El filtro de selección de canal complejo no es más que una versión desplazada en frecuencia de un filtro paso bajo. Esto significa que deja pasar la señal  $\omega = \omega_{IF}$ , mientras que atenúa la señal  $\omega = -\omega_{IF}$ .

Dado que el filtro tiene una respuesta en asimétrica alrededor del eje  $j\omega$ , su respuesta en el dominio del tiempo es compleja. Este comportamiento difiere del de los filtros reales, en los que los polos complejos son siempre conjugados. En los filtros complejos es posible tener polos complejos simples (de ahí su nombre), de forma que la respuesta en frecuencia de los filtros complejos es simétrica alrededor de  $\omega_{IF}$  y no alrededor de 0.



**Figura 2-7.** Traslación de frecuencia de una señal y su imagen con un mezclador en cuadratura y efecto del filtrado complejo



**Figura 2-8.** Implementación práctica del rechazo de la frecuencia imagen de la arquitectura de la **Figura 2-7**

Estas operaciones complejas se realizan en la práctica de la siguiente forma: Mediante un mezclador en cuadratura, que consiste básicamente en dos mezcladores cuyas entradas OL están desfasadas  $90^\circ$  (ver la **Figura 2-8**), se lleva a cabo una multiplicación de la señal real de RF por  $e^{j \cdot \omega_{FI} \cdot t}$ . En la representación compleja de la **Figura 2-6**, la señal deseada a la salida del mezclador se localiza a una frecuencia FI positiva mientras que la señal imagen está localizada a una frecuencia FI negativa. En la implementación real **Figura 2-8**, la señal deseada (o la imagen) en la rama I está desfasada  $90^\circ$  de la rama Q.

Tal y como se comentó anteriormente, un filtro polifásico (complejo) es capaz de hacer la distinción entre la señal y la imagen basándose en la diferencia entre la fase de la rama I y la de la rama Q. En el dominio complejo, un filtro paso banda polifásico es una versión es una versión desplazada de un filtro paso bajo. Para convertir un LPF en un BPF polifásico centrado en  $\omega_{FI}$  se debe modificar cada elemento dependiente de la frecuencia en el LPF para que sea una función de “ $s - j\omega_{FI}$ ” en lugar de “ $s$ ” [4][5]. El elemento básico en un filtro dependiente de la frecuencia es el integrador. Si se considera el caso más simple para convertir un LPF de primer orden (frecuencia de corte  $\omega_{LP}$ ) a un filtro BPF polifásico (centrado en  $\omega_{FI}$ ). Para desplazar en frecuencia la respuesta del LPF se debe insertar un lazo de realimentación tal y como se muestra en la **Figura 2-9 (a)**. La relación compleja entre la entrada y la salida viene dada por:

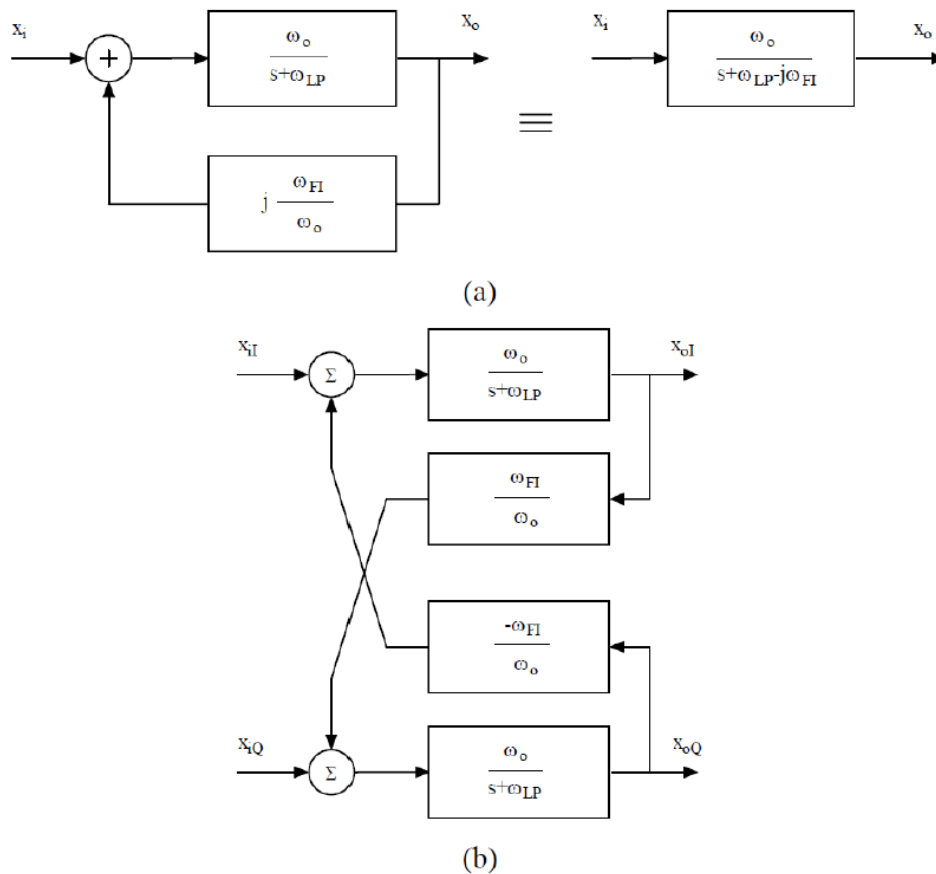
$$X_o = \frac{\omega_0}{s + \omega_{LP} - j \cdot \omega_{FI}} \cdot X_i \quad (2.4)$$

donde  $X_i = X_{iI} + j \cdot X_{iQ}$  y  $X_o = X_{oI} + j \cdot X_{oQ}$ . Teniendo en cuenta estas definiciones, esta ecuación se puede representar de la siguiente manera:

$$X_{oI} = \frac{\omega_0}{s + \omega_{LP}} \cdot \left( X_{iI} - \frac{\omega_{FI}}{\omega_0} \cdot X_{oQ} \right) \quad (2.5)$$

$$X_{oQ} = \frac{\omega_0}{s + \omega_{LP}} \cdot \left( X_{iQ} - \frac{\omega_{FI}}{\omega_0} \cdot X_{oI} \right) \quad (2.6)$$

Esta distinción entre la componente en fase y en cuadratura se hace en la práctica tal y como se muestra en la **Figura 2-9 (b)**.



**Figura 2-9.** Conversión de un filtro paso bajo a uno polifásico centrado en  $\omega_{FI}$ . Representación compleja (a), implementación mediante diagrama de bloques (b).

La traslación en frecuencias

$$H(s) \rightarrow H(s - j \cdot \omega_{FI}) \quad (2.7)$$

o lo que es lo mismo

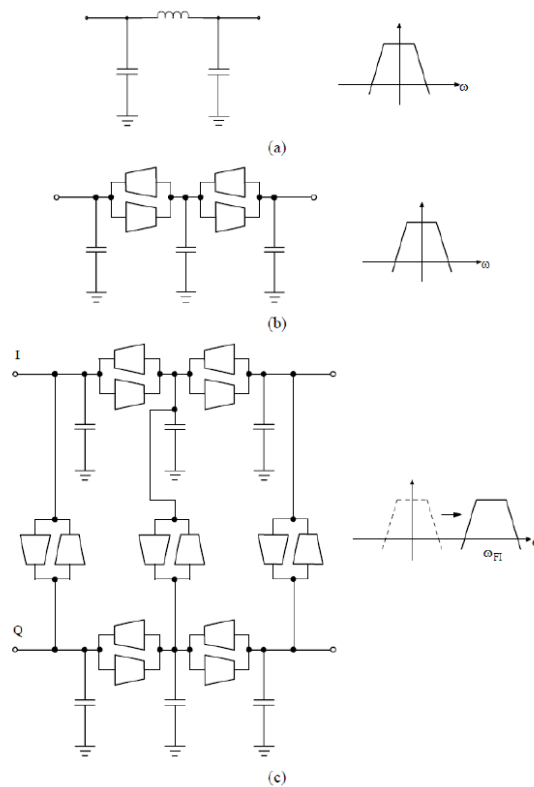
$$H(j \cdot \omega) \rightarrow H(j(\omega - \omega_{FI})) \quad (2.8)$$

se puede usar de forma directa para generar la estructura de un filtro paso banda polifásico basado en la técnica gm-C, ya que dicha traslación se puede aplicar a cada elemento reactivo en el LPF prototipo. De esta forma, un condensador C cualquiera se convierte a:

$$j \cdot \omega \cdot C \rightarrow j(\omega - \omega_{FI}) \cdot C = j\omega C - j\omega_{FI}C \quad (2.9)$$

donde  $\omega_{FI}C$  es una conductancia con un valor independiente de la frecuencia. Esta traslación se podrá hacer solo si se tienen señales en cuadratura.

En la **Figura 2-10** se muestra un ejemplo de la utilización de esta técnica. El filtro paso bajo CLC de la **Figura 2-10 (a)** se convierte en un filtro gm-C paso bajo en la **Figura 2-10 (b)**. La versión polifásica del filtro se muestra en la **Figura 2-10 (c)**, la cual está compuesta por dos filtros como el de la más los circuitos de traslación.



**Figura 2-10.** Filtro C-L-C (a), implementación gm-C (b) e implementación gm-C polifásica (c)

## 2.4. Estudio de la bibliografía

En este apartado se realizará un estudio preliminar sobre algunas estructuras de filtros polifásicos que se han analizado para llevar a cabo el diseño del mismo.

En primer lugar, se presenta el filtro polifásico desarrollado en [16] que puede trabajar para *ZigBee* ( $F_{\text{central}} = 2.5$  MHz y  $BW = 3$  MHz) o *Bluetooth* ( $F_{\text{central}} = 1$  MHz y  $BW = 1.2$  MHz) según su configuración. Dicho filtro está basado en una estructura *Chebyshev* de quinto orden. Para su implementación se ha utilizado la topología gm-C para sustituir las bobinas por circuitos equivalentes basados en transconductores y condensadores. A estos circuitos se los conoce como giradores. Para ello se parte de un filtro con elementos pasivos paso bajo prototipo, al que se le aplica dicha topología. Los transconductores implementados en dicho filtro están basados en una estructura clase AB modificada para regular la

alimentación de los transconductores. Finalmente, el cambio entre estándares se realiza mediante el uso de conmutadores.

Los resultados de rechazo imagen obtenidos son de 48 dBc para *Bluetooth* y 44 dBc para *ZigBee*, superando ampliamente los requisitos de ambos estándares. Si bien es cierto que los criterios de rechazo son logrados satisfactoriamente, la banda de paso presenta un rizado típico de la estructura *Chebyshev* empleada.

En [17] presenta un filtro complejo de bajo consumo de potencia para aplicaciones *WLAN*. Las especificaciones objetivo de dicho filtro son: frecuencia central 20 MHz, ancho de banda 20 MHz, rechazo de imagen -40dBc, figura de ruido 39 dB e IIP3 16 dBm. Para ello se procede de la misma forma que en el trabajo anterior, en el que se parte de un filtro paso bajo prototipo para luego convertirlo en activo mediante el uso de giradores. En este caso, el filtro se basa en transconductores sintonizables diferenciales de alta linealidad. Este OTA permite obtener las prestaciones requeridas sin necesidad de añadir circuitería para el ajuste de niveles de continua como sucedía el caso anterior. Finalmente, los resultados de simulación son acordes a las especificaciones que se pretendían a excepción del rechazo imagen, siendo este de -37 dBc.

A continuación, se presenta el filtro polifásico implementado en [1]. En este caso se presenta una solución propuesta para un receptor Low-IF para aplicaciones *ZigBee* (similar a la estructura del receptor en el que se integrará el filtro polifásico que trata este proyecto). Se requiere que el filtro esté centrado a una frecuencia de 2.5 MHz y tenga un ancho de banda de 3 MHz. El rechazo de imagen debe ser superior a 20 dBc en la banda de rechazo y el consumo mínimo. Se trata de un filtro Butterworth de tercer orden desarrollado con topología gm-C. Los transconductores utilizados están basados en la configuración de Nauta y Nauta simplificados. Los resultados obtenidos cumplen los requisitos especificados al superar los criterios de rechazo imagen, siendo estos de 28 dBc frente a los 20 dBc pretendidos por el estándar. El ancho de banda también se cumple al proporcionar los 3 MHz especificados y la frecuencia central del filtro es de 2.5 MHz. Además, al emplear una estructura Butterworth se consigue una respuesta plana en la banda de paso.

En el caso de [18] también se presenta un filtro para el estándar 802.15.4. En este caso se utilizan transconductores basados en la célula de Gilbert. A esta se le añade una etapa RC para mejorar la linealidad, la selección de canal y el rechazo de imagen. En cuanto a los resultados obtenidos, se tiene un rechazo de imagen superior a 35 dBc y se cumplen los requisitos de frecuencia central y ancho de banda.

De entre todas las estructuras estudiadas, se decidió basar el diseño del filtro en la mostrada en [1] ya que utiliza una topología tipo Butterworth de tercer orden que, tal y como ya se ha dicho, se caracteriza por una respuesta plana en la banda de paso. Además, al tener un orden bajo, el consumo de potencia del filtro polifásico activo desarrollado a partir del prototipo será menor.

## **2.5. Resumen**

A lo largo de este capítulo se han mostrado diferentes clases de filtros. Según la función que vayan a desempeñar pueden ser filtros paso bajo (LPF), paso alto (HPF), paso banda (BPF) o rechazo banda (SBF), realizándose a partir de una de las cinco aproximaciones que creamos conveniente (Butterworth, Chebyshev, Chebyshev inverso o Elíptico).

Según los componentes que lo conforman pueden ser filtros pasivos, formados por componentes que no ofrecen ganancia, o filtros activos, creados por amplificadores y transconductores que limitan su ancho de banda en alta frecuencia, pero que permiten añadir ganancia.

Finalmente se ha realizado un estudio sobre filtros polifásicos y distintas estructuras analizadas de la bibliografía. Gracias a este estudio se concluyó que el filtro a implementar se basará en una topología Butterworth de tercer orden.

## 3. Diseño del filtro polifásico

Este capítulo es un repaso de las distintas fases que se deben llevar a cabo a la hora de diseñar el filtro activo polifásico. Si el lector está familiarizado con el diseño de este tipo de circuitos, puede omitir gran parte de este capítulo, a excepción de los aspectos relevantes referentes a este diseño. Asimismo, si se desea conocer de forma más detallada la fase de diseño del filtro, se puede encontrar información en la memoria del trabajo fin de grado que lo trata [5].

En primer lugar, se diseñará el filtro paso bajo con componentes pasivos acorde a las especificaciones. Una vez hecho esto, se implementa el filtro gm-C activo con transconductores ideales. El siguiente paso será implementar el filtro activo paso bajo con OTAs reales. Cuando se comprueba el correcto funcionamiento, se convierte este filtro a polifásico o complejo.

### 3.1. Diseño del filtro pasivo paso bajo

El primer paso para diseñar cualquier filtro es conocer bien las especificaciones de diseño del mismo. En este caso, el objetivo de este proyecto es realizar un filtro polifásico paso banda cuyas características son:

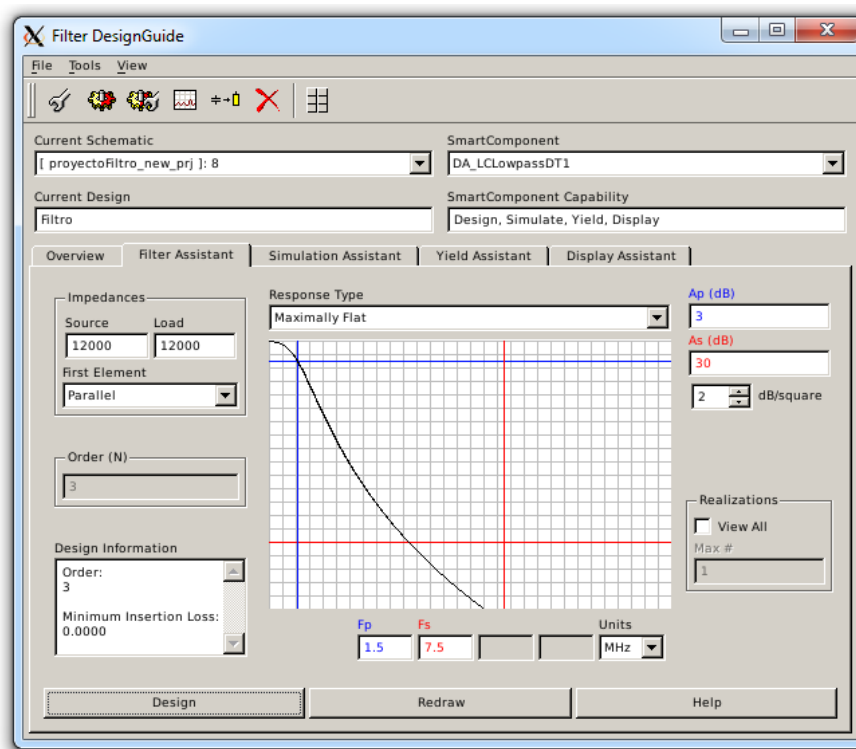
- Ancho de banda de 3 MHz
- Frecuencia central 2.5 MHz
- Rechazo de 0 dB en el canal adyacente ( $\pm 5$  MHz)
- Rechazo de 30 dB en el canal alterno ( $\pm 10$  MHz)

Para completar el diseño del filtro polifásico, hay que definir una serie de pasos previos. El primero consiste en realizar un filtro paso bajo pasivo prototipo a partir de bobinas y condensadores. Una vez hecho esto, se transformará dicho filtro en uno activo basado en gm-C con las técnicas explicadas previamente.

Dado que un filtro paso bajo es igual que uno paso banda, pero centrado en el origen, como primer paso se diseñará un filtro paso bajo con las siguientes características:

- Ancho de banda de 1.5 MHz
- Rechazo de 0 dB en el canal adyacente
- Rechazo de 30 dB en el canal alterno

A la hora de diseñar el filtro prototipo pasivo, se pueden emplear numerosas herramientas. En este caso, se ha utilizado la herramienta ADS (proporcionada por *Keysight*), *Filter Design Guide*. En la **Figura 3-1** se puede observar la ventana principal donde se indica a este asistente las características del filtro a diseñar. El proceso que se debe seguir es el mismo que se mostró en el capítulo anterior. Esto es, definir las frecuencias donde deben estar la banda de paso y la banda de rechazo ( $F_p = 1.5 \text{ MHz}$  y  $F_s = 7.5 \text{ MHz}$ ), las impedancias de entrada y salida ( $R_{\text{source}} = R_{\text{load}} = 12 \text{ K}\Omega$ , por razones que se comentarán posteriormente), la amplitud en dB de las bandas de paso y rechazo ( $A_p = 3\text{dB}$  y  $A_s = 30\text{dB}$ ) y el tipo de respuesta del filtro, que en este caso será Butterworth (o *Maximally Flat*).



**Figura 3-1.** Ventana del asistente de diseño

Se ha seleccionado un filtro de tipo Butterworth porque los criterios de rechazo en el estándar no son muy exigentes. A pesar de que los filtros tipo Butterworth precisan de un orden mayor para cumplir dichos requisitos, esto no va a ser un problema debido a esta característica del estándar. Además, este tipo de filtros proporcionan una respuesta muy plana en la banda de paso, característica muy beneficiosa para el objetivo de este filtro.

A continuación, se observa el esquemático proporcionado por la herramienta (**Figura 3-2**).



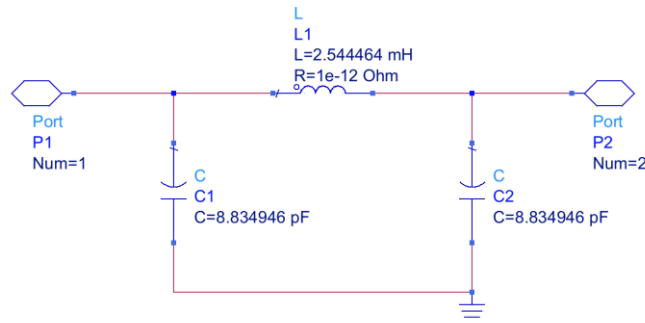


Figura 3-2. Esquemático resultante

Al simular el circuito obtenido, resulta la respuesta mostrada en la respuesta mostrada en la **Figura 3-3**.

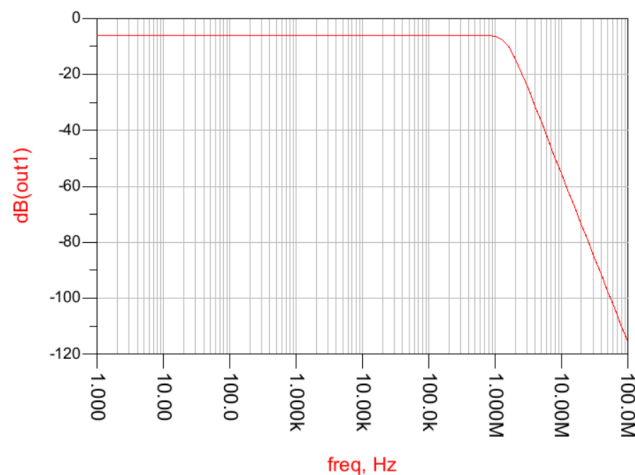


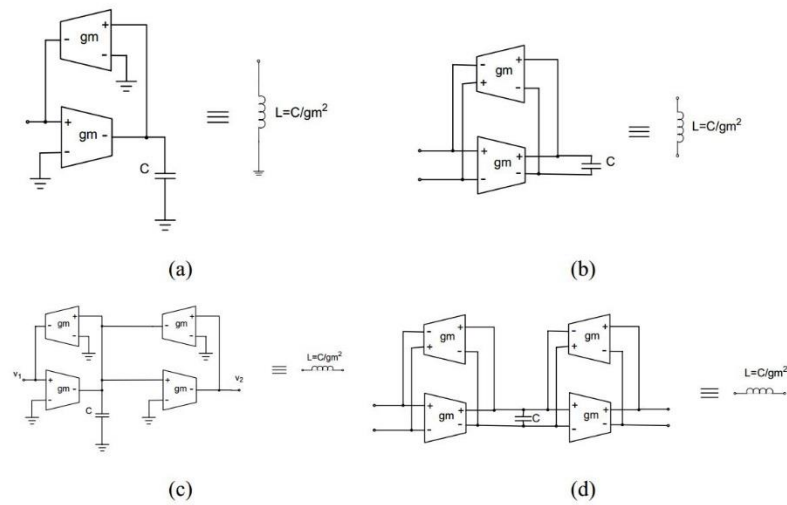
Figura 3-3. Respuesta del filtro paso bajo pasivo

Tal y como se puede ver en la **Figura 3-3**, la respuesta paso bajo obtenida es la deseada. El problema de los filtros pasivos es que la integración de estos en un *chip* es prohibitiva en términos de área. La principal razón es el gran tamaño de los inductores empleados. Debido a esto, a continuación, se aplicarán una serie de técnicas para sustituir estos elementos por estructuras equivalentes.

### 3.2. Diseño del filtro activo con transconductores ideales

A la hora de sustituir bobinas en la construcción de filtros activos, la topología más empleada es la conocida como Gm-C como se comentó en el capítulo anterior. En esta topología, los elementos se sustituirán por estructuras realizadas a partir de OTAs (amplificadores de transconductancia) y condensadores.

En el caso de las bobinas, los circuitos equivalentes a estas son los conocidos como giradores, que a su vez pueden ser tanto diferenciales como asimétricos, como se puede en la **Figura 3-4**.



**Figura 3-4.** Giradores simulados con OTAs: implementación de una bobina conectada a tierra mediante OTAs asimétricos (a), implementación de una bobina conectada a tierra mediante OTAs diferenciales (b), implementación de una bobina conectada a tierra mediante OTAs asimétricos (c) e implementación de una bobina flotante mediante OTAs diferenciales(d)

En la **Figura 3-5**, se presenta el OTA ideal. Como se acaba de indicar, se sustituye la bobina presente en el circuito de la **Figura 3-2** por un girador formado por transconductores ideales, quedando el circuito que se muestra en la **Figura 3-6**.

Para calcular el valor de la transconductancia que deben poseer los OTAs ideales que formarán el girador que sustituirá a la bobina se ha utilizado la fórmula (3.1).

$$g_m = \sqrt{\frac{C_L}{L}} \quad (3.1)$$

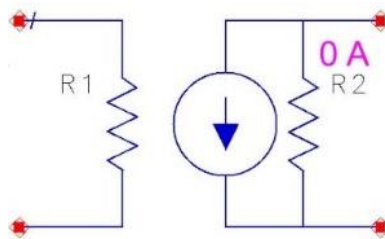
donde:

$$L = 2.54 \text{ mH}$$

$$C_L = 10 \text{ pF (Valor seleccionado por el diseñador)}$$

Una vez aplicada la fórmula, se obtiene que el valor de la transconductancia  $g_m = 63 \mu\text{S}$ .

Este valor será importante a la hora de dimensionar los transistores del OTA real.



**Figura 3-5.** OTA ideal (fuente de corriente controlada por tensión ideal proporcionada por ADS)

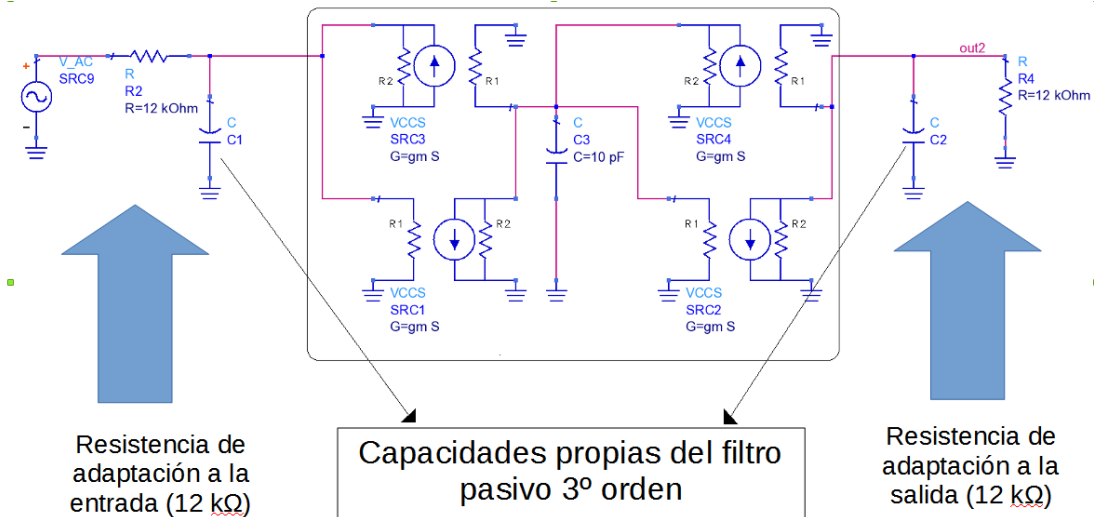


Figura 3-6. Filtro paso bajo activo realizado con OTAs ideales.

La respuesta del circuito, tanto en su versión pasiva como en su versión activa con OTAs ideales, se muestra en la **Figura 3-7**. Se puede apreciar como ambas respuestas se solapan perfectamente, manteniéndose los valores de ganancia y frecuencia de corte en los valores especificados. Ambos tienen pérdidas de 6 dB en la banda de paso, que serán corregidas a la hora de implementar el filtro con OTAs reales.

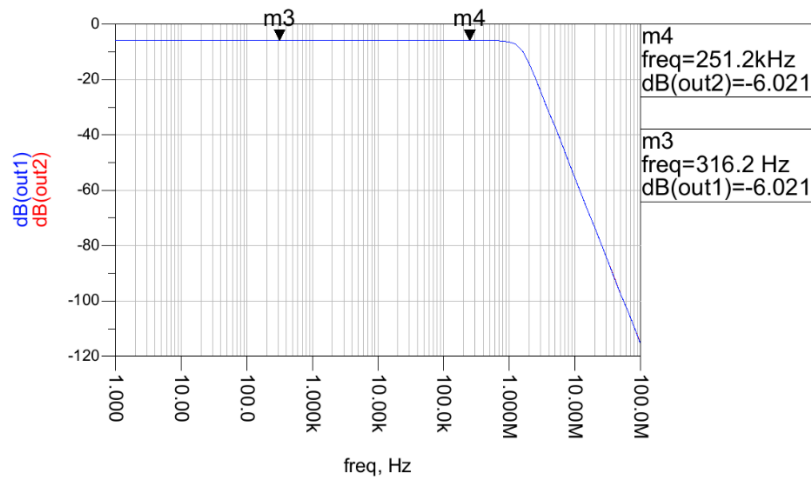


Figura 3-7. Respuesta del filtro tanto para su versión pasiva (bobinas y condensadores) como para su versión activa ideal (OTAs ideales y condensadores).

### 3.3. Diseño del filtro activo con transconductores reales

Tal y como se dijo en el inicio de este capítulo, en el mismo se está realizando un resumen de lo que fue el TFG referente al diseño del filtro polifásico [5]. Este aspecto es importante ya que la explicación de la metodología que se empleó para diseñar los OTAs reales del filtro se puede encontrar en dicha referencia.

### 3.3.1. OTA de Nauta

En este caso, se optó por el transconductor de Nauta (**Figura 3-8**), el cual está formado por 6 inversores. Este tipo de transconductores es conocido por ofrecer una gran respuesta con bajo ruido y reducido consumo. Posee una arquitectura diferencial y, por lo tanto, es simétrico frente a los inversores que lo forman. Es preciso destacar que los inversores *Inv1* e *Inv2* son los encargados de ajustar el valor de transconductancia mientras que el resto aportan estabilidad en modo común. Además, estos OTAs carecen de nodos internos, haciendo posible combinar las capacidades del transconductor con las propias del filtro, permitiendo su implementación en filtros de frecuencias u orden alto.

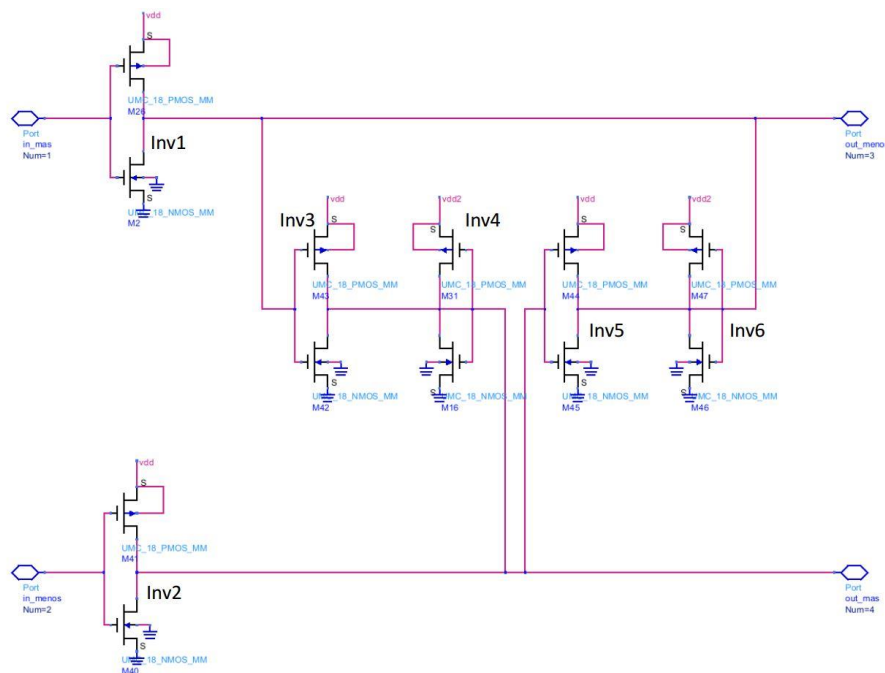


Figura 3-8. OTA de Nauta en ADS

### 3.3.2. Metodología Gm/Id

Para el modelado de los amplificadores de transconductancia reales se empleó el método  $G_m/I_d$ . Debido a la reducción de los tamaños de los transistores en el diseño analógico se presenta el problema de la disminución de las tensiones de alimentación y, consecuentemente, reducción del rango dinámico, ganancia, etcétera. Por esta razón, se hace uso de esta metodología que propone el uso de los transistores, empleándolos en una región sub-umbral antes de llegar a la saturación, consiguiendo buenas prestaciones con un consumo reducido.

Para el diseño se deben obtener las curvas  $G_m/I_d$ , a partir de las cuales se utiliza el procedimiento que se muestra en la **Figura 3-9** para dimensionar los transistores.

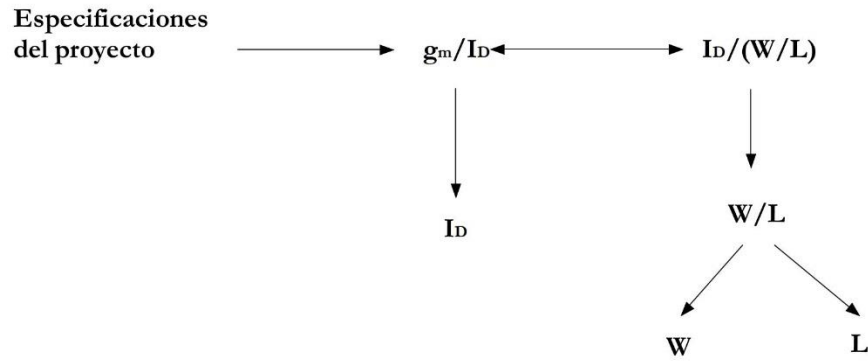


Figura 3-9. Proceso de diseño Gm/Id

Siguiendo este procedimiento y con el valor de transconductancia  $g_m = 63 \mu S$  calculado previamente se obtienen las dimensiones mostradas en la **Tabla 3-1**.

Tabla 3-1. Dimensiones del OTA  $g_m = 63 \mu S$

Transistor	Ancho (W)	Longitud (L)
N	0.24 $\mu m$	0.36 $\mu m$
P	2.49 $\mu m$	0.36 $\mu m$

Una vez hecho esto y comprobado que el transconductor ofrece las especificaciones que de este se pretendían, se implementa el filtro paso bajo con OTAs reales. Cabe destacar que tal y como se dijo en la explicación del Nauta, este circuito es puramente diferencial. Por esta razón, se debe tener especial cuidado a la hora de realizar el conexionado en el mismo.

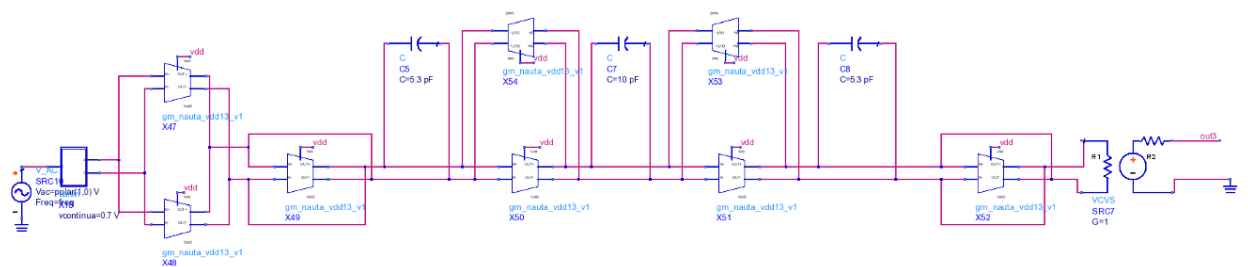
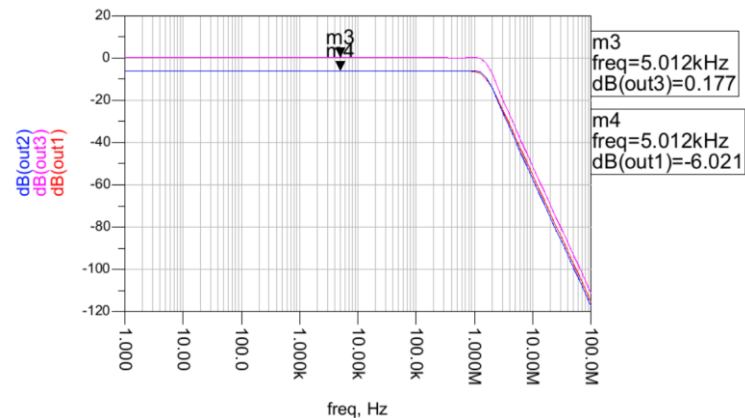


Figura 3-10. Filtro paso bajo con OTAs reales

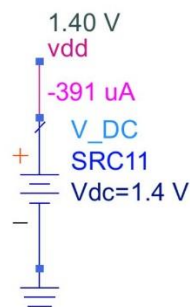
Tal y como se puede ver en la **Figura 3-10**, se ha colocado un balun a la entrada para convertir la señal de la fuente a diferencial. El siguiente paso fue colocar un amplificador basado en dos transconductores para corregir las pérdidas de 6 dB que se tenían en las versiones previas del mismo. Finalmente, se añade al final un VCVS (*Voltage Ccontroller Voltage Source*) ideal para poder medir la señal de salida del filtro.

Una vez hecho esto, se simula el circuito, obteniendo los resultados obtenidos en la **Figura 3-11**.



**Figura 3-11.** Respuesta del filtro paso bajo con OTAs reales

Con un consumo de 391  $\mu\text{A}$ , tal y como se puede ver en la **Figura 3-12**.



**Figura 3-12.** Consumo del filtro paso bajo

Tal y como se ve en la **Figura 3-11**, la respuesta obtenida en el caso real es similar a los casos anteriores, pero con la corrección de 6 dB pretendida. Además, cabe destacar que se ha seleccionado una tensión de alimentación de 1.4 V, en vez de los 1.8 V máximos de alimentación para la tecnología, con el fin de minimizar el consumo de potencia.

Una vez hecho esto, el siguiente paso fue convertir este filtro paso bajo, que cumple las condiciones de rechazo del estándar, en un filtro paso banda, que además funcione en cuadratura, es decir, para las bandas I y Q. Para ello, se utiliza la teoría de filtros complejos o polifásicos, explicada en [5]. En primer lugar, se transformó el filtro ideal y, una vez se comprueba que la transformación es correcta, se procede con el filtro real.

### 3.4. Diseño del filtro activo polifásico con transconductores ideales

Para desplazar el filtro a los 2.5 MHz pretendidos por las especificaciones, se hará uso de integradores. Estos integradores, a su vez, estarán basados en OTAs al igual que los giradores empleados previamente.

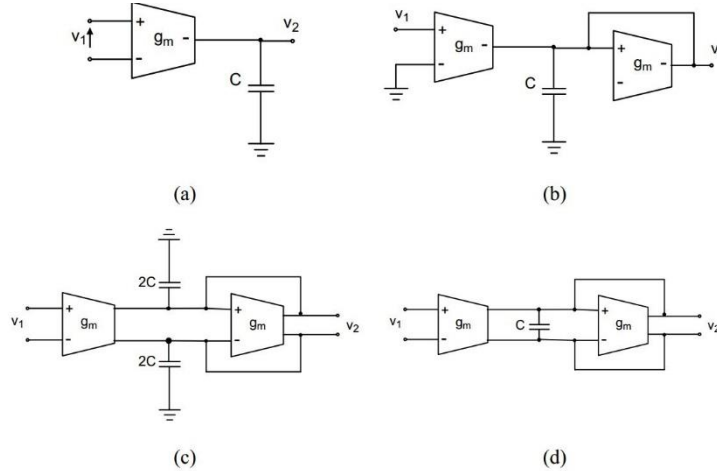


Figura 3-13. Integradores desarrollados con OTAs

En este caso, los valores de transconductancia implementados, vendrán dados por la fórmula (3.2).

$$gm_i = 2\pi f_c C_i \quad (3.2)$$

Obteniendo la estructura mostrada en la Figura 3-14.

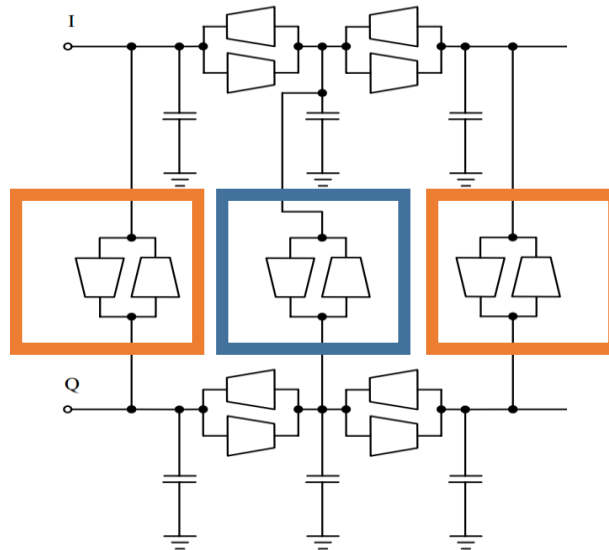
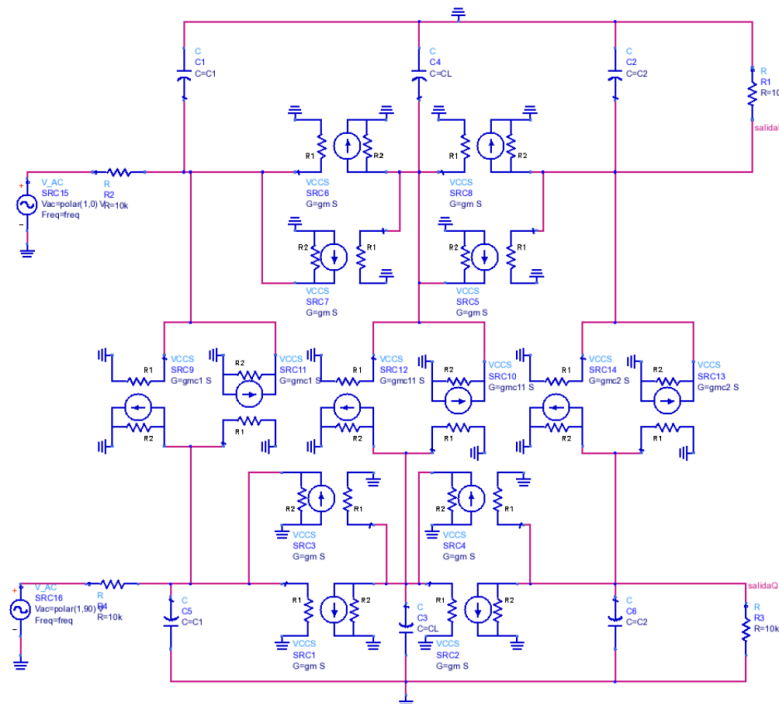


Figura 3-14. Estructura filtro polifásico

En este caso, para los transconductores laterales tenemos el mismo valor de condensador (ver Figura 3-2) y para el central, tenemos otro valor distinto. Por esta razón, tendremos dos transconductores nuevos diferentes.

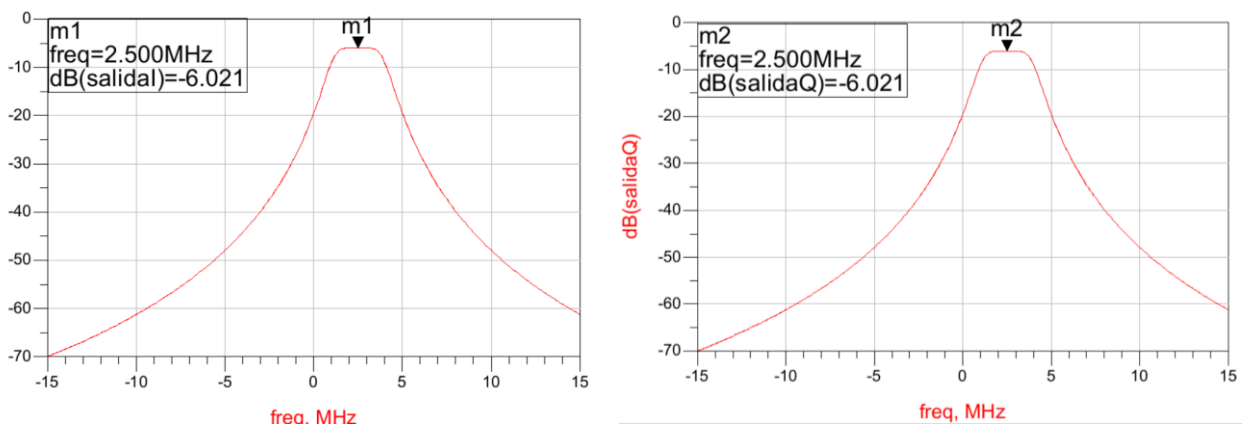
- En el caso del OTA central (remarcado en azul), el valor de condensador era de 10 pF, obteniendo así una  $g_{m\text{central}} = 157 \mu\text{S}$ .
- En los OTAs de los lados (remarcados en naranja), se tiene un valor de 8.8 pF, obteniendo una  $g_{m\text{lados}} = 138 \mu\text{S}$ .

Una vez introducidos estos valores en los transconductores ideales previamente empleados, se obtiene la estructura de la **Figura 3-15**.



**Figura 3-15.** Filtro polifásico con transconductores ideales

Al simular, se obtienen los resultados para la rama I (**Figura 3-16**, izquierda) y para la rama Q (**Figura 3-16**, derecha).



**Figura 3-16.** Resultados obtenidos para la rama I (izquierda) y la rama Q (derecha)



Como se puede comprobar, se tiene una respuesta que cumple los requisitos de rechazo que se tenían en los filtros paso bajo, pero esta vez centrados en 2.5 MHz, tal y como se pretendía en la especificación inicial.

Una vez se comprueba que la respuesta obtenida al realizar la transformación con filtros polifásicos con transconductores ideales es la correcta, se puede proceder a realizarla con OTAs reales. Para ello, en primer lugar, se calcularán las dimensiones a partir de la metodología Gm/Id, previamente empleada.

### 3.5. Diseño del filtro activo polifásico con transconductores reales

En este caso se tienen dos transconductores distintos, aplicando Gm/Id se obtiene:

- Transconductor central ( $g_{m_{central}} = 157 \mu S$ ):

**Tabla 3-2.** Dimensiones del OTA central

Transistor	Ancho (W)	Longitud (L)
N	0.59 $\mu m$	0.3 $\mu m$
P	3.9 $\mu m$	0.3 $\mu m$

- Transconductores laterales ( $g_{m_{lados}} = 138 \mu S$ ):

**Tabla 3-3.** Dimensiones de los OTAs laterales

Transistor	Ancho (W)	Longitud (L)
N	0.67 $\mu m$	0.3 $\mu m$
P	4.43 $\mu m$	0.3 $\mu m$

Finalmente, con estas dimensiones, se implementan los transconductores y se conforma el filtro que se ve a continuación. De igual forma, al utilizar transconductores reales, estos son puramente diferenciales, por lo tanto, el conexionado se debe hacer de forma cuidadosa. Cabe destacar que la rama añadida en este caso se conoce como rama cruzada. De esta forma, se tendrán dos filtros paso bajo en I y Q, respectivamente, y las ramas cruzadas. El filtro polifásico resultante se puede observar en la **Figura 3-17**.

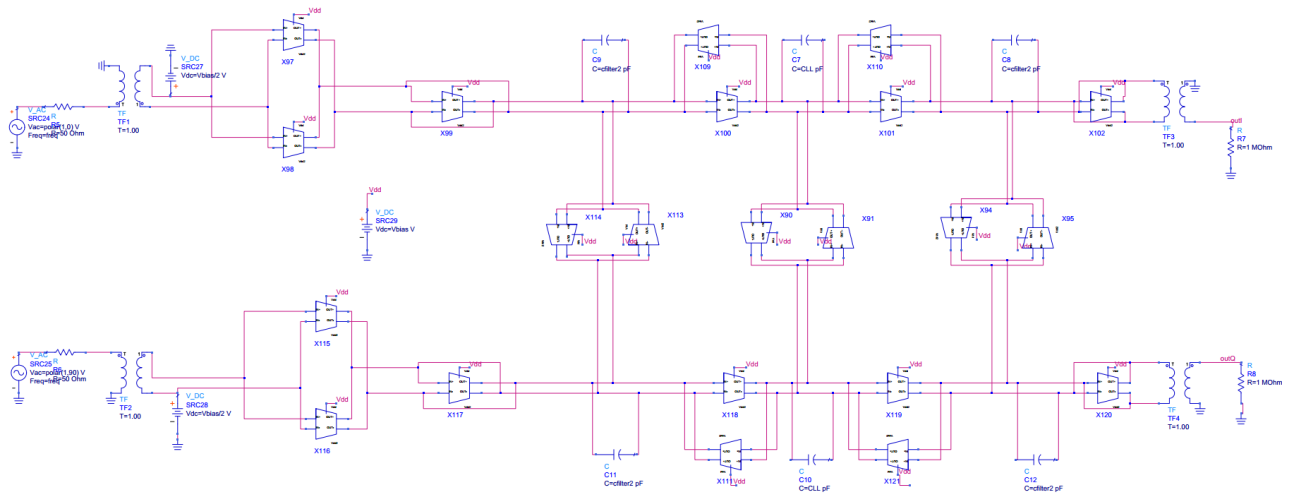


Figura 3-17. Filtro polifásico con OTAs reales

Al simular este circuito, se obtienen las respuestas mostradas en la Figura 3-18.

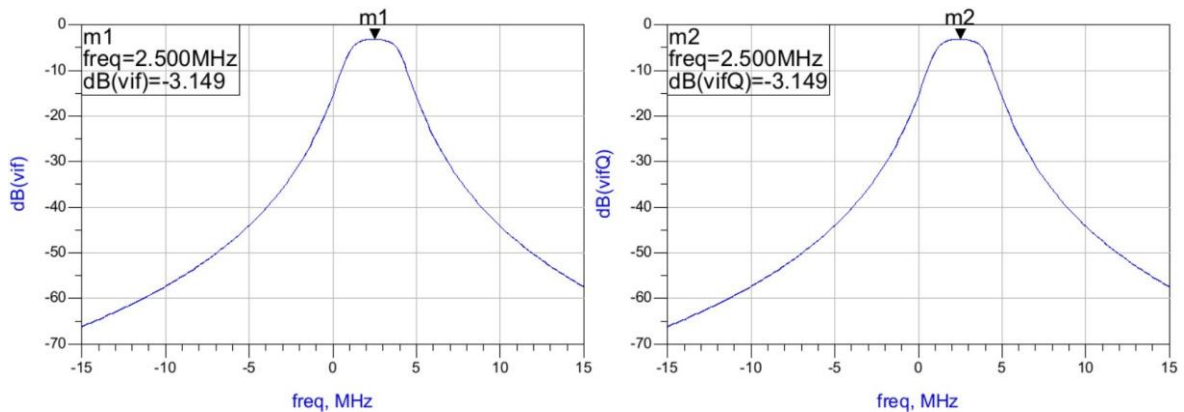


Figura 3-18. Resultados obtenidos para la rama I (izquierda) y la rama Q (derecha)

El consumo se representa en la Figura 3-19.

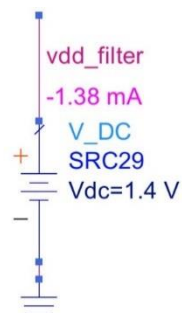
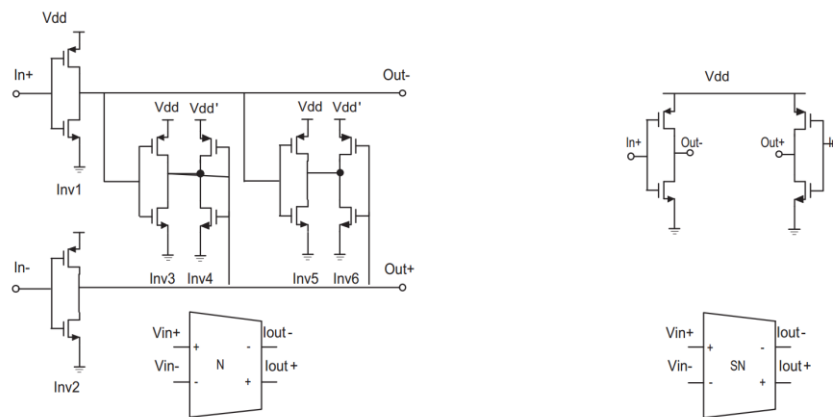


Figura 3-19. Consumo del filtro polifásico real

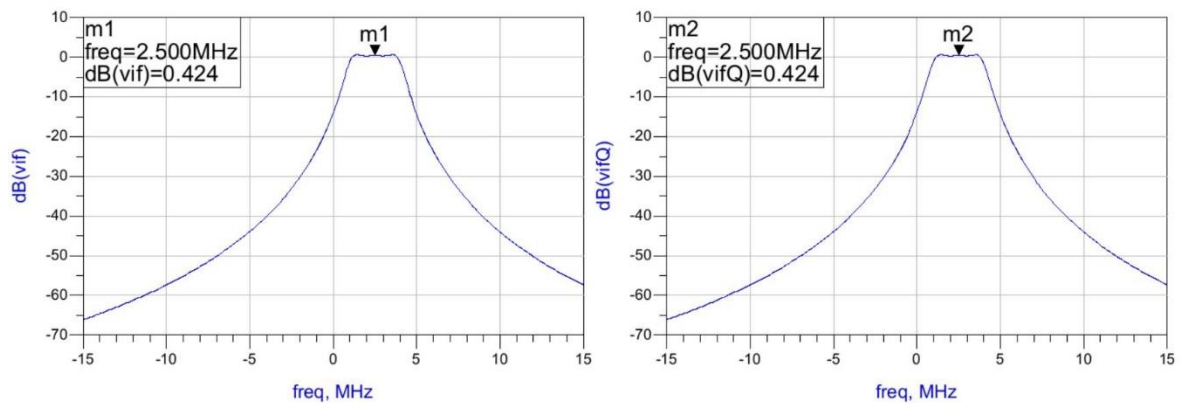
Tal y como se puede comprobar en la Figura 3-18, las respuestas obtenidas en el filtro real son similares a las obtenidas en el caso de los transconductores ideales, pero con una corrección de 3 dB de pérdidas con respecto a la versión ideal en la banda de paso ya explicada previamente. En cuanto al consumo de corriente es de 1.38 mA.

Finalmente, se aplicaron una serie de técnicas para mejorar las prestaciones del circuito. La primera consistía en reducir el ancho de algunos transistores de las ramas cruzadas. En este caso, se aplicó una reducción al 90% del tamaño aplicado [19]. La segunda técnica consistió en simplificar los transconductores de las ramas I y Q. Como ya se dijo, los inversores Inv1 e Inv2 de la **Figura 3-8**, son los que aportan el valor de transconductancia, mientras que el resto aportan niveles de continua y ajustan la alimentación. Por la topología propia de los filtros polifásicos, estos inversores extras no son necesarios en las ramas I y Q, por lo que se pueden simplificar teniendo así dos transconductores de la forma que se ve en la **Figura 3-20**.



**Figura 3-20.** Transconductores de Nauta (izquierda) y Nauta simplificado (derecha).

Una vez hechas estas modificaciones, se obtienen los resultados mostrados en la **Figura 3-21**.



**Figura 3-21.** Resultados obtenidos para la rama I (izquierda) y la rama Q (derecha)

Como se observa, se ha conseguido corregir los 3 dB de pérdidas en la banda de paso que existían en la versión original de este filtro. Además, en cuanto a consumo de corriente, se muestra en la **Figura 3-22**.

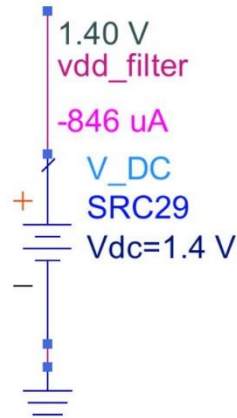


Figura 3-22. Consumo de potencia del filtro polifásico final

Se puede comprobar cómo se ha reducido el mismo cerca de un 40%, pasando de ser de 1.38 mA a 0.856  $\mu\text{A}$ .

### 3.6. Resumen

En este capítulo se ha llevado a cabo un resumen del trabajo fin de grado que trata sobre el diseño del filtro polifásico a utilizar para la implementación de *layout*. Aunque se hayan explicado todos los pasos a seguir en el diseño, estos están más detallados en la memoria del TFG correspondiente [5].

# Capítulo 4

## 4. Estudio de la tecnología

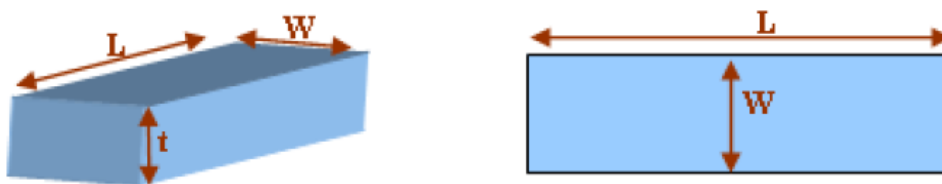
En este capítulo se realizará un estudio de las características de la tecnología *UMC 0.18 μm 1P6M Salicide Mixed Mode/RF CMOS* de la *foundry United Microelectronics Corporation (UMC)*. Esta tecnología consta de seis metales, siendo la última capa de metal la de mayor espesor y mayor conductividad. Esto permite mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, los transistores que se utilizan son del tipo MOSFET (*Metal-Oxide-Semiconductor Field-Effect Transistor*), siendo la longitud de puerta mínima en esta tecnología de 0.18 μm. Además, la tecnología UMC 0.18 μm ofrece una amplia librería de componentes pasivos [8][20].

En este estudio se comenzará con una descripción teórica de los dispositivos, para posteriormente analizar los distintos modelos para cada componente. Por último, se estudiarán los componentes que han sido optimizados para radio frecuencia.

### 4.1. Estudio de resistencias

#### 4.1.1. Construcción

El valor óhmico de una resistencia integrada depende fundamentalmente del valor resistivo del material. En la **Figura 4-1** se muestra un modelo de una resistencia integrada y los parámetros que influyen en el valor óhmico.



**Figura 4-1.** Parámetros de una resistencia.

Partiendo de la **Figura 4-1**, el valor de la resistencia se obtiene a partir de la ecuación (4.1).

$$R = \frac{\rho}{t} \cdot \frac{W}{L} \quad (4.1)$$

Siendo  $\rho$  y  $t$  la resistividad y el espesor del material, y  $L$  y  $W$  la longitud y la anchura de la pista, respectivamente.

En procesos de fabricación de dispositivos basados en semiconductores, el espesor de las capas de material resistivo permanece constante, por lo que el valor de la resistencia puede determinarse mediante la ecuación (4.2).

$$R = R_{square} \cdot \frac{W}{L} \quad (4.2)$$

Siendo  $R_{square}$  la resistencia por cuadrado, que es igual al cociente entre la resistividad y el espesor del material.

#### 4.1.2. Resistencias en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  presenta una amplia gama de resistencias: RNHR, RNNP0, RNPP0, etc. La elección del tipo de resistencia a utilizar se basa en el valor resistivo que se pretenda integrar. En la **Figura 4-2** se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros de las resistencias.

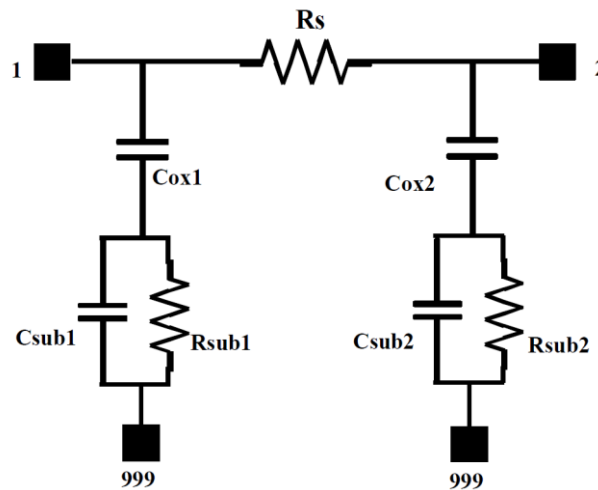
CDF Parameter	Value	Display
Model Name	rnhr_rf	off
Width	2.0u M	off
Length	3.94u M	off
Resistance	2.002075K Ohms	off
Multiplier	1	off
Rsh (ohm/sq)	1039	off
Rend (ohm-um)	0.00012	off
delta Width (um)	-4.3e-08	off
delta Length (um)	-4e-07	off

**Figura 4-2.** Cuadro de diálogo de *Cadence* de ajuste de parámetros de resistencias.

Teniendo en cuenta la ecuación 0, para obtener el valor resistivo deseado se deben variar tanto el ancho como la longitud de la pista.

### 4.1.3. Resistencias optimizadas para RF en la tecnología UMC 0.18 $\mu\text{m}$

En este apartado se estudiarán las resistencias optimizadas para radiofrecuencia que son RNHR\_RF y RNNPO\_RF/RNPPO\_RF. Durante la simulación de estos tipos de resistencias se utiliza el mismo circuito equivalente, si bien las ecuaciones que determinan los valores de los componentes que configuran dicho modelo varían en función del tipo de resistencia [21]. En la **Figura 4-3** se muestra el circuito equivalente de una resistencia en la tecnología UMC 0.18 $\mu\text{m}$  CMOS.



**Figura 4-3.**Circuito equivalente de una resistencia.

En la **Figura 4-3**, la resistencia  $R_s$  representa el valor resistivo deseado para la resistencia integrada. Por otra parte, la capacidad asociada al óxido de la resistencia se representa con los condensadores  $C_{ox1}$  y  $C_{ox2}$ . Por último, la influencia del sustrato ha sido modelada utilizando una red RC ( $R_{sub}$  y  $C_{sub}$ ).

Las características principales de estos tipos de resistencia son:

- El rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.
- El ancho de pista debe ser mayor a 2  $\mu\text{m}$ .
- La relación entre el largo y el ancho de la pista debe ser menor a 10.

En la **Figura 4-4** se muestra el *layout* típico de una resistencia RNHR\_RF, generada a partir del asistente que presenta el *kit* de diseño de la tecnología.

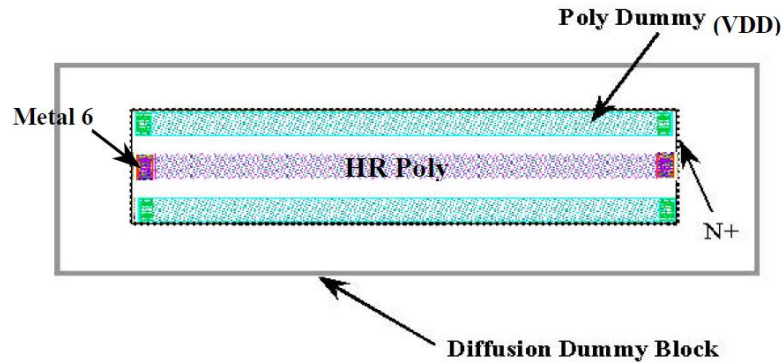


Figura 4-4. *Layout* de una resistencia del tipo RNHR\_RF.

En la **Figura 4-5** se muestra el *layout* de una resistencia del tipo RNNPO\_RF, generada a partir del asistente que presenta el *kit* de diseño de la tecnología.

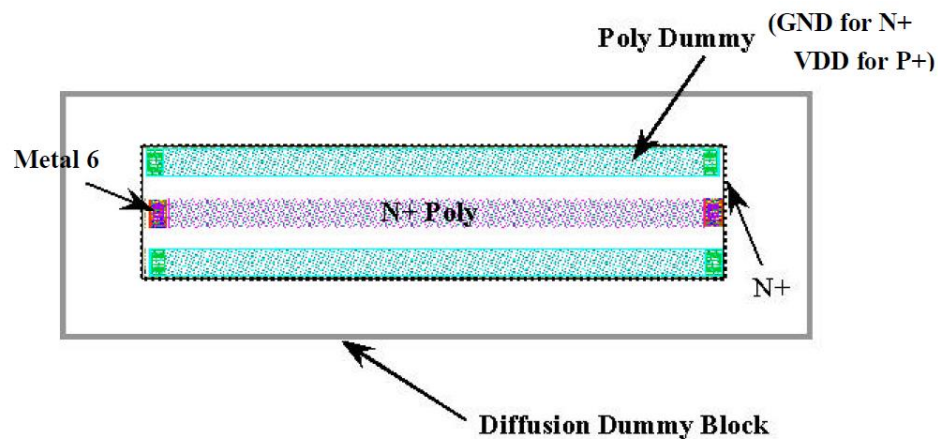


Figura 4-5. *Layout* de una resistencia del tipo RNNPO\_RF.

La principal diferencia entre estos dos tipos de resistencias, optimizadas para RF, radica en el hecho que las RNHR\_RF permiten alcanzar unos valores resistivos más altos debido al uso de un polisilicio altamente resistivo (HR: *High Resistive*).

## 4.2. Estudio de condensadores

### 4.2.1. Construcción

En sistemas integrados, la implementación de condensadores se reduce a la construcción de dos capas planas de metal, separadas por una capa de material aislante. En la **Figura 4-6** se muestra un esquema de la construcción de un condensador integrado.



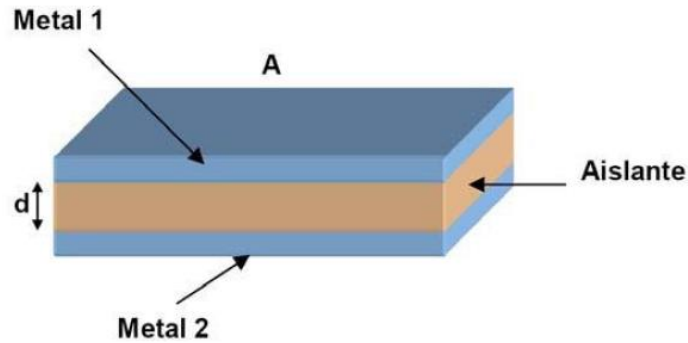


Figura 4-6. Construcción de un condensador.

A partir de la **Figura 4-6** se puede calcular el valor de la capacidad del condensador mediante la ecuación (4.3).

$$C = \frac{\epsilon_r \cdot \epsilon_0 \cdot A}{d} \quad (4.3)$$

Siendo  $\epsilon_r$  la permitividad relativa del material dieléctrico entre las placas metálicas,  $\epsilon_0$  la permitividad del vacío,  $A$  el área efectiva y  $d$  la distancia entre placas metálicas.

#### 4.2.2. Condensadores en la tecnología UMC 0.18 $\mu\text{m}$

En esta tecnología se dispone de cuatro tipos de condensadores: NCAP\_MM, PCAP\_MM, MIMCAPM\_RF y MIMCAPS\_MM. La elección de un tipo de condensador a utilizar se basa en el valor capacitivo que se pretenda integrar. En la **Figura 4-7** se muestra el cuadro de diálogo donde se ajustan los parámetros de diseño del condensador.



**Figura 4-7.** Cuadro de diálogo de *Cadence* de ajuste de parámetros de condensador.

En este caso, se muestra el cuadro de diálogo de *Cadence* de ajuste de parámetros de un condensador del tipo MIMCAPM\_RF. Teniendo en cuenta que el valor capacitivo del condensador está directamente relacionado con las dimensiones del condensador, variando el ancho y la longitud del condensador se puede obtener el valor capacitivo deseado. Además, para este tipo de condensador los parámetros *Multi Square X* y *Multi Square Y* indican el número de bloques o *fingers* horizontales y verticales, respectivamente.

#### 4.2.3. Condensadores optimizados para RF UMC 0.18 $\mu\text{m}$

Este apartado se centra en el tipo de condensador optimizado para RF, el MIMCAPM\_RF, se explicará este tipo ya que este es el que elige el fabricante para explicar MIM. Este condensador se basa en un diseño modular que parte de un bloque o *finger* del condensador, el cual es replicado hasta obtener el valor capacitivo deseado. En la **Figura 4-8** se muestra el circuito equivalente del condensador MIMCAPM\_RF de la tecnología UMC 0.18  $\mu\text{m}$  CMOS: Este condensador es del tipo *Metal-Insulator-Metal* (MIM).

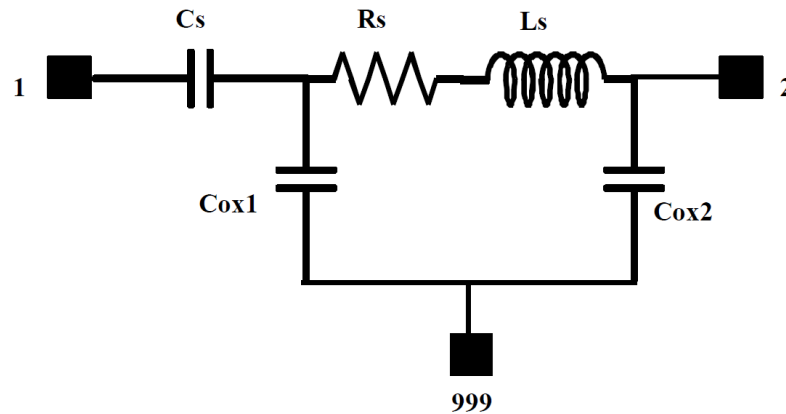


Figura 4-8. Circuito equivalente del condensador MIMCAPM\_MM.

Tal y como se puede observar, el valor capacitivo deseado se representa con el condensador  $C_s$ . En cuanto a  $R_s$  y  $L_s$ , representan la resistencia e inductancia parásitas. Por último, la capacidad parásita que aparece entre el metal de menor nivel y el óxido se modela con los condensadores  $C_{ox1}$  y  $C_{ox2}$ .

Las características principales de este tipo de condensador son:

- El rango de frecuencias de operación va desde los 100 MHz hasta los 10 GHz.
- El tamaño mínimo del condensador es de  $10 \mu\text{m} \times 10 \mu\text{m}$ .
- Existe una limitación entre el ancho ( $W$ ) y la longitud ( $L$ ) del transistor. Esta limitación se modela con la ecuación (4.4).

$$I \leq \frac{L \cdot n_x}{W \cdot n_y} \leq 6 \quad (4.4)$$

Donde  $n_x$  y  $n_y$  son el número de bloques o *fingers* horizontales y verticales, respectivamente.

En la **Figura 4-9** se muestra el *layout* de condensadores del tipo MIMCAPM\_RF, generado a partir del asistente que presenta el *kit* de diseño de la tecnología.

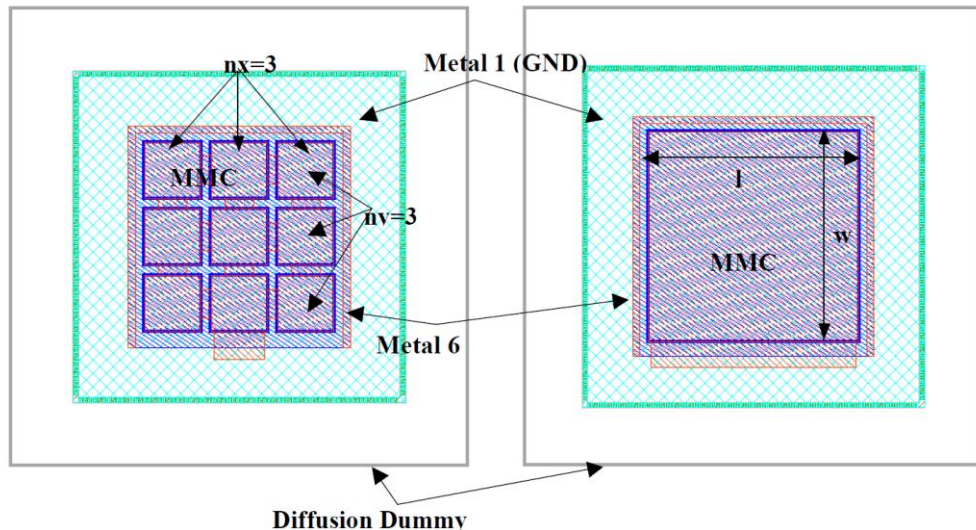


Figura 4-9. Layout de condensadores del tipo MIMCAPM\_RF.

Si se observa detenidamente la **Figura 4-9**, en la parte izquierda de la misma se muestra un condensador en el que se tienen tres bloques horizontales y tres verticales. Por otra parte, en la parte derecha de la **Figura 4-9** se muestra un condensador con un único bloque. El primer tipo de condensador se denomina *Multi-Rectangle* (MR), mientras que el segundo tipo se denomina *Single-Rectangle* (SR).

En la **Figura 4-10** se muestra una representación de la sección transversal de un condensador del tipo MIMCAPM\_RF.

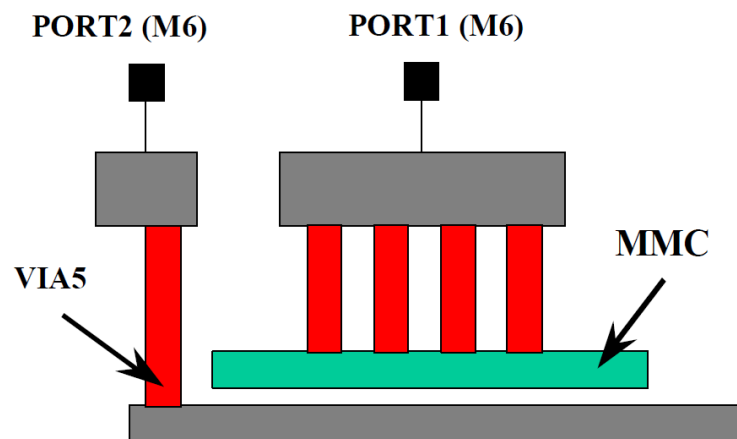


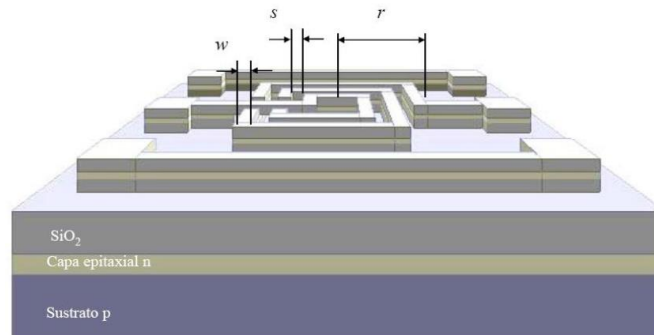
Figura 4-10. Sección transversal del layout de un condensador MIMCAPM\_RF.

Como se puede observar en la **Figura 4-10**, el puerto 1 se conecta a la placa conductora superior del condensador, mientras que el puerto 2 se conecta a la placa inferior. Ambos puertos están fabricados con la capa de metal superior, que se corresponde con el Metal 6 en esta tecnología.

### 4.3. Estudio de bobinas

#### 4.3.1. Construcción

Típicamente, un inductor integrado se diseña generando una espiral con pistas metálicas sobre un sustrato determinado. Debido a que uno de los extremos de la espiral queda en el interior de la misma, será necesario disponer de al menos dos niveles de metal para poder acceder a este terminal. Al trozo de pista que pasa por debajo de la espiral principal para acceder al terminal interior se le conoce como *underpass* o *cross-under*. En la **Figura 4-11** se muestra una bobina espiral cuadrada simple, donde se puede apreciar la disposición del *underpass*, además de los parámetros geométricos más importantes de una bobina. Concretamente, se muestra el radio ( $r$ ), la anchura ( $w$ ) y la separación entre pistas ( $s$ ).



**Figura 4-11.** Modelo de una bobina cuadrada simple.

#### 4.3.2. Funcionamiento

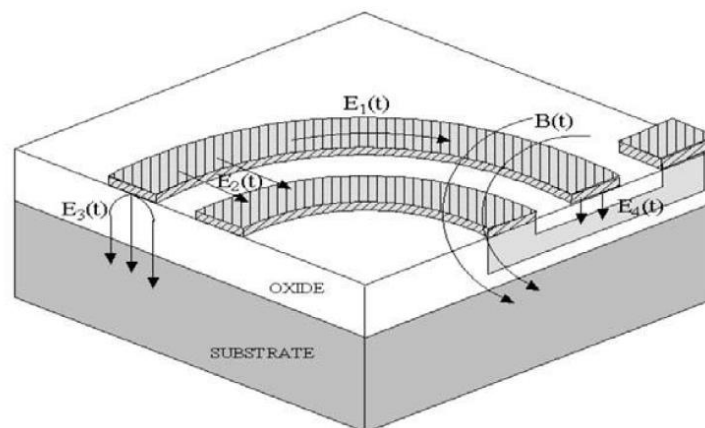
Un inductor se caracteriza principalmente por su factor de calidad, cuyo valor se calcula con la ecuación (4.5).

$$Q = -\frac{Im(Y_{11})}{Re(Y_{11})} \quad (4.5)$$

En la práctica, el factor de calidad de los inductores integrados sobre silicio suele ser bastante deficiente debido a las pérdidas asociadas al dispositivo. La respuesta de los inductores integrados sigue siendo objeto de investigación, sin embargo, los fenómenos físicos causantes de la degradación de la misma han sido identificados. Los fenómenos más relevantes están asociados a las pérdidas en el sustrato, pérdidas en los metales por su alta resistividad, además de las pérdidas causadas por el efecto pelicular (*skin effect*) y por las corrientes de torbellino (*eddy currents*) [22]. Estas dos últimas fuentes de pérdidas, el efecto pelicular y las corrientes de torbellino, no son fáciles de modelar.

Cuando se aplica tensión en los extremos de una espiral, aparecen campos eléctricos y magnéticos como los que se muestran en la **Figura 4-12**:

- El campo magnético  $B(t)$  está originado por la corriente de alterna que circula por las espirales. Es el responsable del comportamiento inductivo del dispositivo, así como de las corrientes inducidas en el sustrato y en las pistas de la espiral. Teniendo en cuenta que este campo magnético atraviesa el sustrato y las pistas de la espira, se inducen *eddy currents* en ambas.
- $E_1(t)$  es el campo eléctrico en las pistas de la espiral. Produce la corriente de conducción a la cual están asociadas unas pérdidas óhmicas en las pistas debido a la resistividad de los conductores.
- $E_2(t)$  es el campo eléctrico entre las pistas de la espiral y está causado por la diferencia de tensión entre los conductores. Ocasiona el acoplamiento capacitivo entre ellos actuando el óxido como dieléctrico.
- $E_3(t)$  es el campo eléctrico entre la espiral y el sustrato, el cual está causado por la diferencia de tensión existente entre ambos. Genera el acoplamiento capacitivo entre la espira y el sustrato, además de pérdidas óhmicas en el sustrato.
- $E_4(t)$  es el campo eléctrico que aparece entre la espiral y el *underpass*. Este campo genera una capacidad parásita en paralelo a la bobina.



**Figura 4-12.** Campos eléctricos y magnéticos en un inductor integrado.

### 4.3.3. Modelo de la bobina

El modelo clásico se basa en la interpretación de los fenómenos físicos estudiados en el apartado anterior. La estructura de este modelo, considerando al inductor como un dispositivo de dos puertos, se muestra en la **Figura 4-13**.

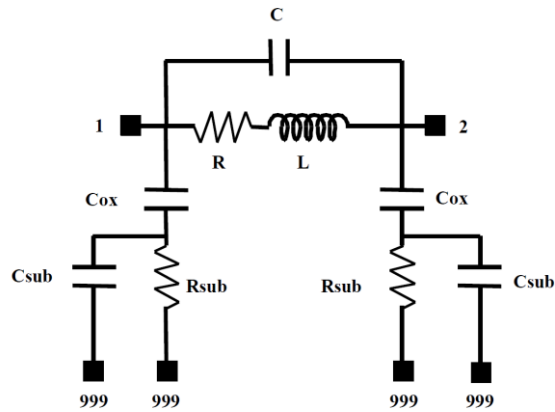


Figura 4-13. Modelo clásico de un inductor espiral integrado.

En la **Figura 4-13** se puede observar que en serie con la inductancia deseada  $L$ , aparece una resistencia  $R$  que representa las pérdidas óhmicas generadas por  $E_1(t)$  (ver **Figura 4-12**). El condensador  $C$  modela el acoplamiento capacitivo generado por  $E_2(t)$  y  $E_4(t)$ . El resto de elementos que aparecen en el circuito describen los efectos del sustrato. En particular, los condensadores  $C_{ox}$  representan las capacidades que aparecen entre la espiral y el sustrato, mientras que los condensadores  $C_{sub}$  representan las capacidades parásitas asociadas al sustrato. Por último, las resistencias  $R_{sub}$  modelan las pérdidas óhmicas del sustrato.

#### 4.3.4. Bobinas en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología de UMC 0.18  $\mu\text{m}$  dispone de un único modelo de bobina integrada, el `L_SLCR20K_RF`. En la **Figura 4-14** se muestra el cuadro de diálogo en el que se pueden ajustar los parámetros de la bobina.

Property	Value	Display
Library Name	UMC_18_CMOS	off
Cell Name	L_SLCR20K_RF	off
View Name	symbol	off
Instance Name	L2	off

CDF Parameter	Value	Display
Model Name	l_slcr20k_rf	off
Diameter	203.000000u M	off
Width	20u M	off
Turn Number	2.5	off
Inductance	2.58712n H	off

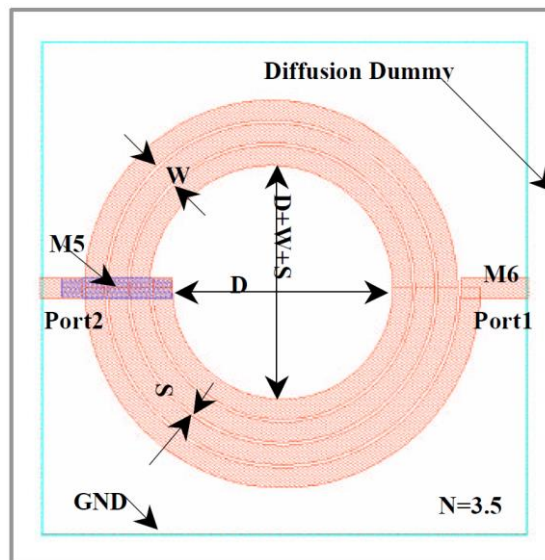
Figura 4-14. Cuadro de diálogo de Cadence de ajuste de parámetros de bobinas.

Para obtener el valor de inductancia deseado, se varían los parámetros geométricos de la bobina. Concretamente, los parámetros que se varían son el ancho de la pista, el diámetro de la bobina y el número de vueltas de la espira.

Las características principales de este tipo de bobinas son:

- El rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.
- El rango de valores de inductancia efectivos está entre 1 y 12 nH a la frecuencia de 300 MHz.
- El ancho de la capa de metal superior debe tener un valor entre 6 y 20  $\mu\text{m}$ .
- El diámetro interior de la bobina debe estar en un rango entre 126 y 238  $\mu\text{m}$ .
- El número de vueltas debe estar entre 1.5 y 5.5, con pasos de 1. Es decir, solo puede tomar los siguientes valores: 1.5, 2.5, 3.5, 4.5, 5.5.
- El espacio entre las pistas metálicas está fijado a 2  $\mu\text{m}$ .
- El espesor de la capa de metal superior es de 20 KA.

En la **Figura 4-15** se muestra el *layout* de una bobina del tipo L\_SLCR20K\_RF, generada a partir del asistente que presenta el *kit* de diseño de la tecnología.



**Figura 4-15.** *Layout* de una bobina del tipo L\_SLCR20K\_RF.

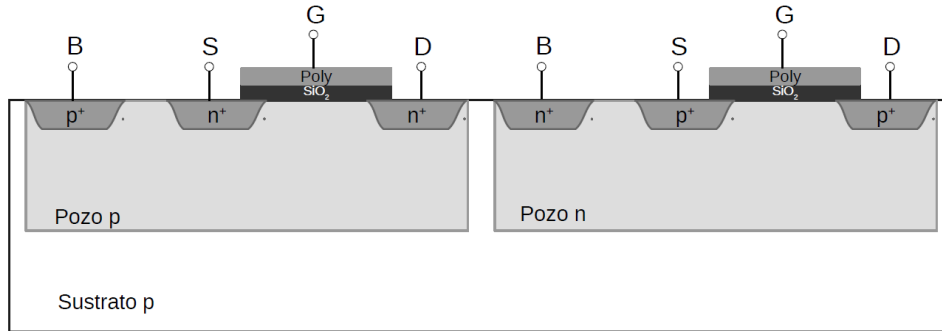
## 4.4.El Transistor MOSFET

### 4.4.1. Construcción

En la **Figura 4-16** se muestra una sección transversal de dos transistores MOS, uno tipo n y el otro tipo p. En el caso del transistor tipo n, el surtidor (S: *Source*) y el drenador (D: *Drain*) se construyen sobre difusiones n+, sobre un sustrato p. Por otra parte, en el transistor tipo p el surtidor y el drenador están formados con difusiones tipo p+ sobre un pozo n. Tanto



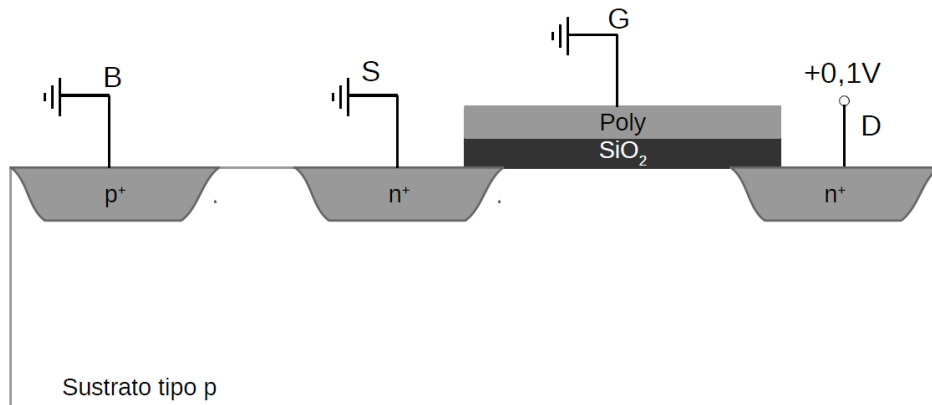
en el transistor tipo n como en el transistor tipo p, la puerta (G: *Gate*) está aislada del sustrato mediante una capa de óxido de silicio ( $\text{SiO}_2$ ). Además, en el caso de transistor tipo n, el sustrato se debe conectar a la tensión más negativa para eliminar los diodos rectificadores que aparecen en las uniones del surtidor y el drenador. En el caso de un transistor tipo p, el sustrato se debe conectar a la tensión más positiva.



**Figura 4-16.** Sección transversal de transistores MOS.

#### 4.4.2. Funcionamiento

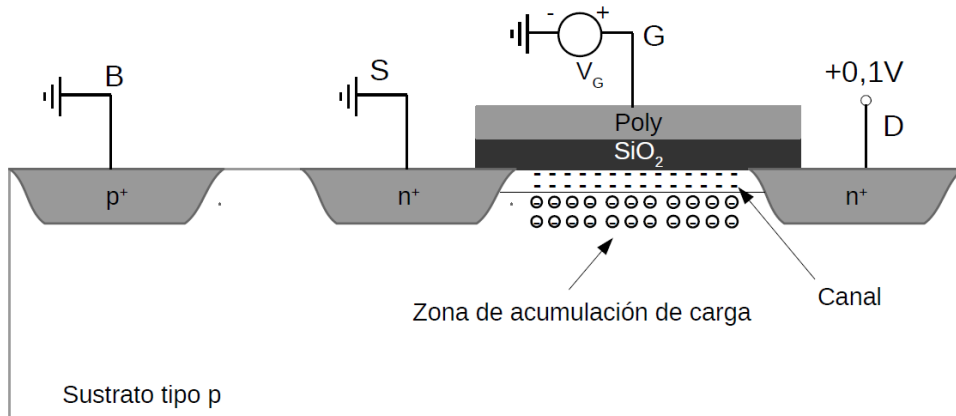
En la **Figura 4-17** se muestra un MOSFET tipo n al cual se le aplican tensiones externas. Suponiendo que la tensión entre la puerta y el surtidor es nula ( $V_{GS}$ ), y la tensión entre el drenador y el surtidor es positiva ( $V_{DS}$ ), no circulará corriente entre los terminales de drenador y surtidor. En esta situación se dice que el transistor MOSFET se encuentra en corte.



**Figura 4-17.** Transistor MOSFET tipo n en corte.

A medida que se aumenta la tensión  $V_{GS}$ , los huecos que se encuentran en el sustrato p son repelidos por la puerta, dejando iones negativos en su lugar. De esta manera se crea una región de enriquecimiento o de acumulación de carga. Si  $V_{GS}$  sigue aumentando, se ensanchará la zona de acumulación de carga y, por tanto, aumenta el potencial de la interfaz óxido-silicio. Cuando este potencial alcanza una tensión umbral ( $V_{TH}$ ), los electrones fluyen

desde el surtidor al drenador. De esta forma se crea bajo la puerta el canal entre el surtidor y el drenador. En este caso, se dice que el transistor se encuentra en la región de triodo o zona óhmica. La **Figura 4-18** muestra un transistor MOSFET tipo n cuando se encuentra en zona óhmica.



**Figura 4-18.** Transistor MOSFET tipo n en zona óhmica.

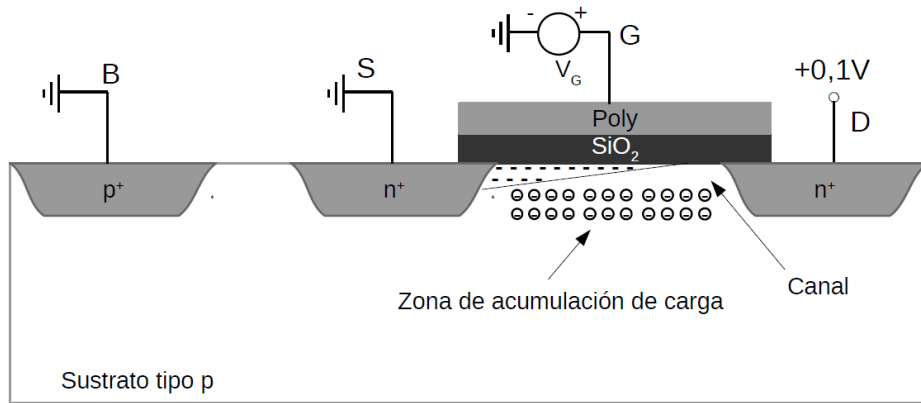
En la zona óhmica, la ecuación (4.6) determina la corriente de drenador del MOSFET:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (4.6)$$

donde:

- $\mu_n$  es la movilidad de los electrones.
- $C_{ox}$  es la capacidad de óxido de la puerta por unidad de área.
- $L$  es la longitud del canal del transistor ( $\mu\text{m}$ ).
- $W$  es el ancho del canal del transistor ( $\mu\text{m}$ ).

Como ya se ha comentado anteriormente, cuando el valor de  $V_{GS}$  es mayor que  $V_{TH}$ , la densidad de los portadores libres en el canal aumenta, dando como resultado un mayor nivel de  $I_D$ . Sin embargo, si se mantiene  $V_{GS}$  constante y solo se aumenta el nivel de  $V_{DS}$ , la corriente de drenador alcanza un nivel de saturación cuando su valor es superior a  $V_{GS} - V_{TH}$ . Esta saturación se debe a un estrechamiento del canal (*pinch-off*), tal y como se muestra en la **Figura 4-19**.



**Figura 4-19.** Transistor MOSFET tipo n en zona de saturación.

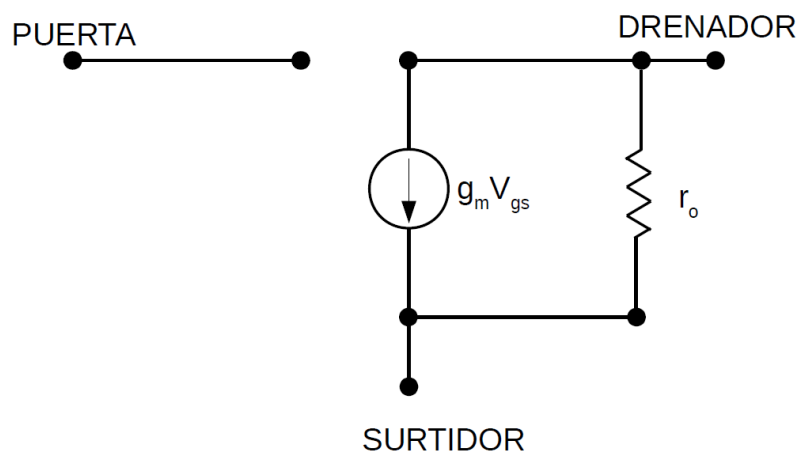
En esta situación la corriente de drenador se calcula con la ecuación (4.7).

$$I_D = \frac{\mu_n C_{ox} W}{2 L} \cdot (V_{GS} - V_{TH})^2 \quad (4.7)$$

De la misma manera que se ha analizado el transistor MOSFET tipo n, el transistor tipo p mantiene las mismas ecuaciones. Sin embargo, en el caso del tipo p el sentido de la corriente  $I_D$  es contrario al caso del tipo n. Esto se debe a que en un tipo p los huecos son mayoritarios y fluyen en el sentido contrario a los electrones [23].

#### 4.4.3. Modelo de pequeña señal

En la **Figura 4-20** se muestra el modelo simplificado de pequeña señal de un transistor MOSFET.



**Figura 4-20.** Modelo simplificado de pequeña señal de un transistor MOSFET.

Donde:

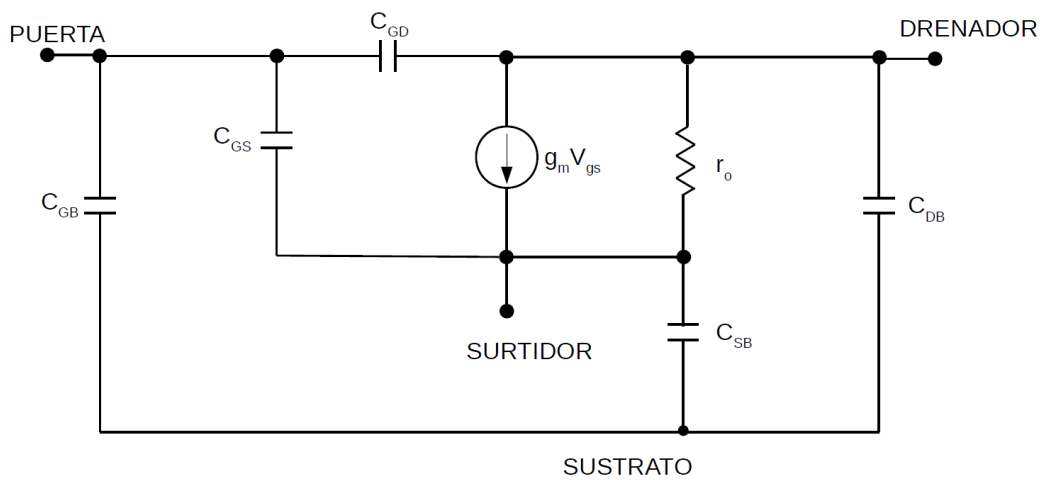
- $r_o$  representa la parte real de la impedancia de salida del transistor.

- $g_m$  es la transconductancia del transistor y se calcula según la ecuación (4.8).

$$g_m = K \cdot \frac{W}{L} [(V_{GS} - V_T) \cdot V_{GS} + V_T] \quad (4.8)$$

Donde K es la constante de transconductancia del transistor.

Sin embargo, en el modelo simplificado no se han tenido en cuenta las capacidades parásitas, las cuales pueden ser de dos tipos: capacidades de la zona de carga espacial y capacidades de la zona del óxido. En la **Figura 4-21** se muestra el modelo completo en pequeña señal de un transistor MOSFET.



**Figura 4-21.** Modelo completo de pequeña señal de un transistor MOSFET.

En cuanto a las capacidades de la zona de carga espacial, éstas se producen en las uniones PN debido a la presencia de cargas en las zonas N y P con igual magnitud, pero con polaridad de carga opuesta. Estas capacidades vienen dadas por las ecuaciones (4.9) y (4.10).

$$C_{DB} = \frac{C_{DB0}}{\left(1 - \frac{V_{DB}}{\Psi_0}\right)^m} \quad (4.9)$$

$$C_{DB} = \frac{C_{SB0}}{\left(1 - \frac{V_{SB}}{\Psi_0}\right)^m} \quad (4.10)$$

donde:

- $C_{DB0}$  y  $C_{SB0}$  son las densidades de la capacidad de la unión cuando la polarización es nula.
- $V$  es la tensión directa de la unión.
- $\Psi_0$  es la barrera de potencial.
- $m$  es la constante dependiente de la unión.

En cuanto a las capacidades en la zona del óxido, éstas aparecen entre dos zonas conductoras separadas por óxido, cada una sometida a una tensión distinta. El valor de estas capacidades depende de las variables de diseño y de las dispersiones en el proceso de fabricación.

Las principales capacidades de óxido son:

- $C_{GB}$ : Capacidad de óxido entre puerta y sustrato.
- $C_{SG}$ : Capacidad de óxido entre surtidor y puerta.
- $C_{GD}$ : Capacidad de óxido entre puerta y drenador.

El valor de estas capacidades depende de la región de trabajo del transistor. En la **Tabla 4-1** se muestra el valor de las capacidades de óxido en las distintas regiones de trabajo de un transistor MOSFET.

**Tabla 4-1.** Capacidades de la zona de óxido de un transistor MOSFET

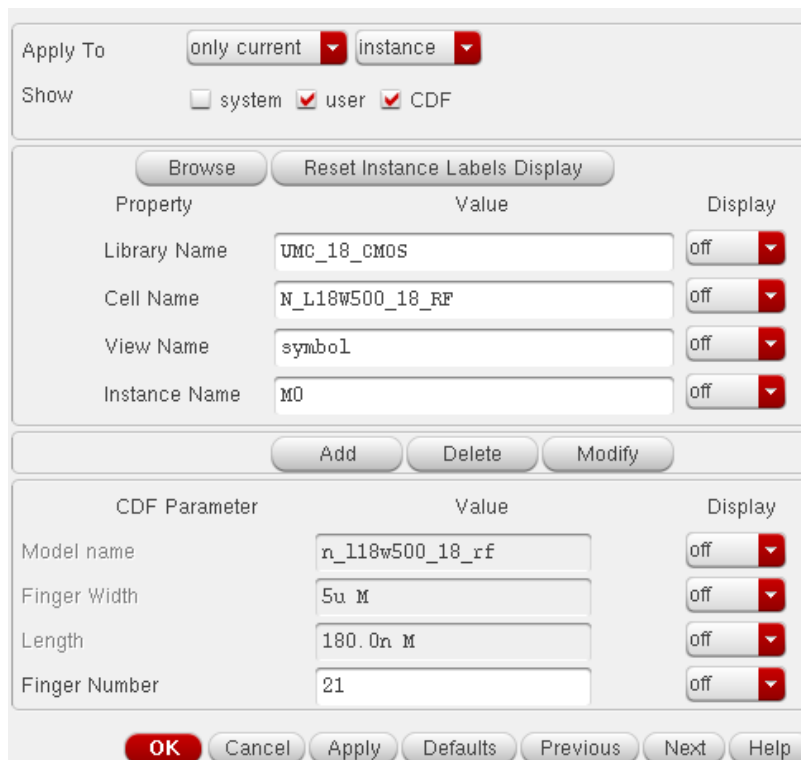
Capacidad	Corte	Óhmica	Saturación
$C_{GD}$	$C_{ox}L_dW$	$C_{ox}L_dW+0.5 C_{ox}LW$	$C_{ox}L_dW$
$C_{GS}$	$C_{ox}L_dW$	$C_{ox}L_dW+0.5 C_{ox}LW$	$C_{ox}L_dW+0.66C_{ox}LW$
$C_{GB}$	$C_{ox}W$	0	0

En la **Tabla 4-1**, los parámetros implicados en las expresiones son:

- $C_{ox}$ : capacidad de puerta por unidad de área.
- $L_d$ : distancia de difusión lateral que se produce bajo la puerta.
- $L$ : longitud del canal del transistor.
- $W$ : Ancho de canal del transistor.

#### 4.4.4. Transistores MOSFET en la tecnología UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  CMOS dispone de múltiples modelos de transistores MOSFET: N\_L18W500\_18\_RF, P\_L34W500\_33\_RF, P\_LV\_33\_MM, etc. En la **Figura 4-22** se muestra el cuadro de diálogo donde se ajustan los parámetros del transistor MOSFET.



**Figura 4-22.** Cuadro de diálogo de *Cadence* de ajuste de parámetros de un transistor MOSFET.

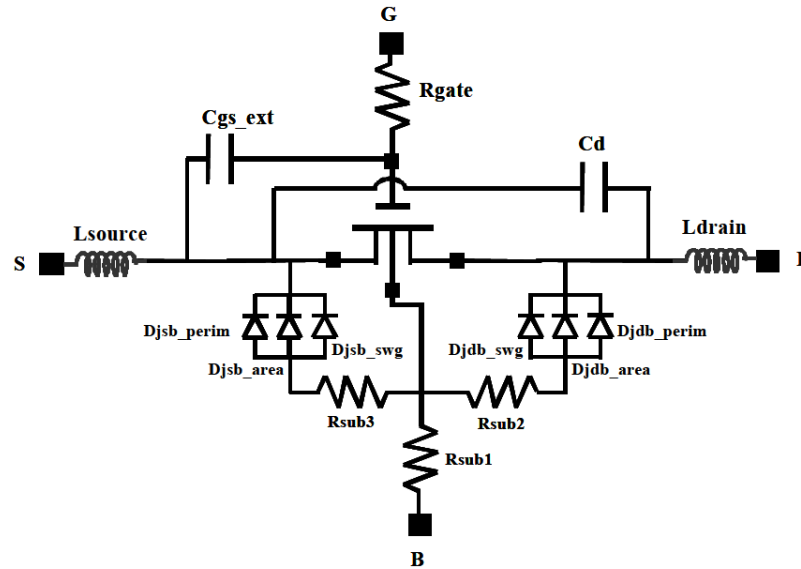
En este cuadro de diálogo se pueden variar los distintos parámetros del transistor. Los parámetros que se pueden modificar difieren según el tipo de transistor. En la **Figura 4-22** el transistor que se está modificando es el N\_L18W500\_18\_RF. En este tipo de transistor no se puede modificar ni el ancho ni la longitud de la puerta, sino únicamente el número de *fingers*.

#### 4.4.5. Transistores MOSFET optimizados para RF UMC 0.18 $\mu\text{m}$

La tecnología UMC 0.18  $\mu\text{m}$  CMOS dispone de hasta ocho modelos de transistores MOSFET optimizados para RF [21], al igual que en el caso de los condensadores, el fabricante se centra en el modelo de RF en su explicación. Cuatro de estos modelos deben ser polarizados con una tensión de 1.8 V y los otros cuatro con una tensión de 3.3 V. En este apartado se analizarán los modelos que son polarizados con una tensión de 1.8 V.

Los cuatro modelos que son polarizados con 1.8 V se pueden distinguir en dos tipos. Además, en cada tipo se tiene un transistor tipo n y uno tipo p. El primer tipo de transistor (N\_L18W500\_18\_RF/ P\_L18W500\_18\_RF) tiene una longitud de puerta fija en 0.18  $\mu\text{m}$  y un ancho de *finger* fijo de 5  $\mu\text{m}$ . En cuanto al número de *fingers*, se puede variar entre 5 y 21. El segundo tipo de transistor (N\_PO7W500\_18\_RF/ P\_PO7W500\_18\_RF) tiene un número de *fingers* fijo de 7 y un ancho de *fingers* fijo de 5  $\mu\text{m}$ . La longitud de puerta se puede variar entre 0.2  $\mu\text{m}$  y 0.5  $\mu\text{m}$ .

Todos los tipos de transistores de la tecnología optimizados para RF comparten el mismo modelo, el cual se muestra en la **Figura 4-23**.



**Figura 4-23.** Circuito equivalente de los transistores optimizados para RF N/P.

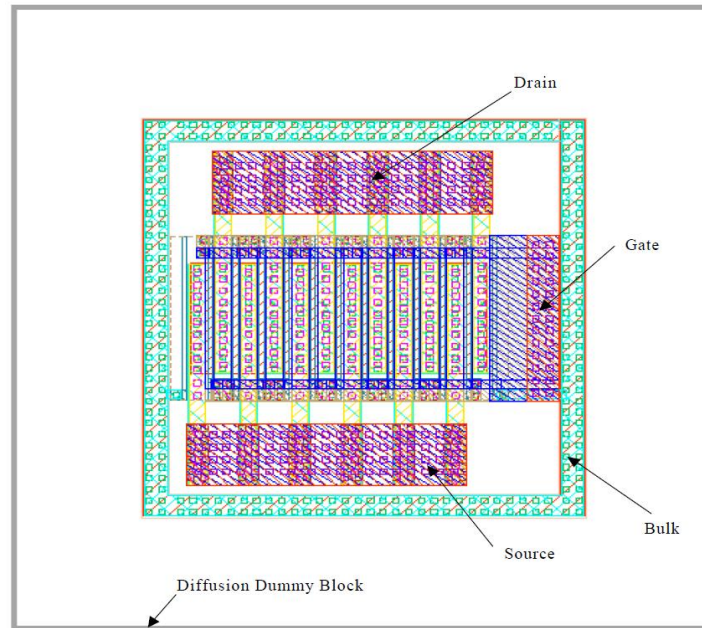
A continuación, se muestran la descripción de los distintos elementos parásitos que aparecen en la **Figura 4-23**:

- $R_{gate}$  modela de la resistencia de puerta.
- $R_{sub1}$ ,  $R_{sub2}$  y  $R_{sub3}$  modelan las pérdidas del sustrato.
- $D_{jdb\_area}$  y  $D_{jdb\_perim}$  modelan la capacidad de la unión drenador-surtidor.
- $D_{jdb\_swg}$  y  $D_{jsb\_swg}$  modelan la capacidad por unidad de longitud de la unión drenador-surtidor.
- $C_d$  y  $C_{gs\_ext}$  representa la capacidad total equivalente entre el drenador, puerta y surtidor.
- $L_{source}$  y  $L_{drain}$  modelan el efecto de las inductancias parásitas.

Las características de estos transistores son:

- El rango de frecuencias de operación va desde 100 MHz hasta 10 GHz.
- El rango de efectivo de tensiones es:  $|V_g| = 0.6-1.8$  V,  $|V_d| = 0-1.8$  V.
- El rango de la longitud de puerta es: 0.18  $\mu\text{m}$  – 0.5  $\mu\text{m}$ .
- El rango del ancho total de la puerta es: 25  $\mu\text{m}$  – 105  $\mu\text{m}$ .
- Rango del número de *fingers*: 5-21.

En la **Figura 4-24** se muestra el *layout* de un transistor MOSFET para RF, generado a partir del asistente que presenta el *kit* de diseño de la tecnología.



**Figura 4-24.** *Layout* de un transistor MOSFET para RF.

En la **Figura 4-24** se pueden diferenciar las distintas partes del transistor: el surtidor (*Source*), el drenador (*Drain*), la puerta (*Gate*) y el sustrato (*Bulk*). Se puede observar que en este caso se muestra un transistor con 5 *fingers*.

## **4.5. Estudio de *pads***

### **4.5.1. Construcción**

Los *pads* proporcionan una interfaz entre un circuito integrado y el entorno externo. Estos componentes permiten realizar la conexión entre los nodos del circuito integrado con elementos externos, para lo cual se colocan los *pads* en el perímetro del circuito [23]. De esta forma se puede alimentar el circuito, así como introducir y extraer señales. Un *pad* se basa en la superposición de varias capas rectangulares metálicas, interconectadas entre sí con las correspondientes vías. En la **Figura 4-25** se muestra una representación de un *pad* como el que se ha descrito.



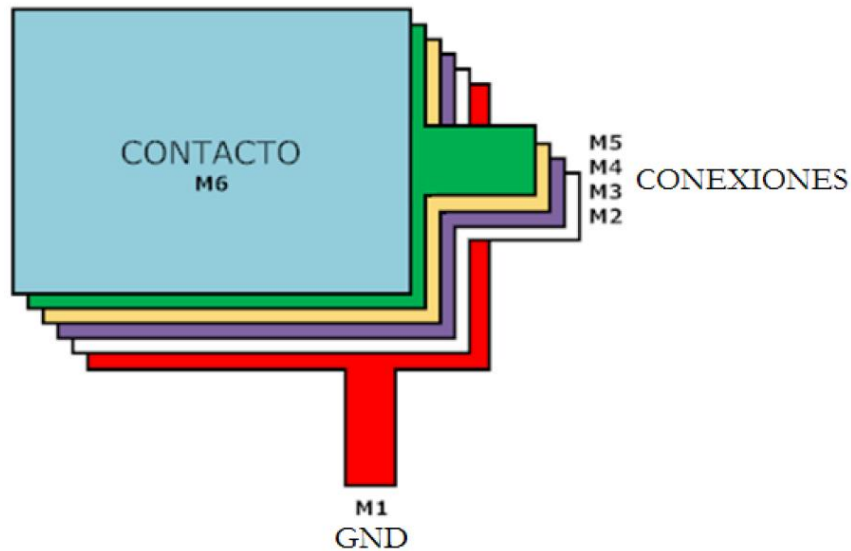


Figura 4-25. Representación de un *pad*.

#### 4.5.2. Pads en la tecnología UMC 0.18 µm

La tecnología UMC 0.18 µm dispone de un único modelo de *pad*: el PAD\_RF. En la **Figura 4-26** se muestra el cuadro de diálogo de *Cadence* donde se ajustan los parámetros del *pad*.



Figura 4-26. Cuadro de diálogo de *Cadence* de ajuste de parámetros de un PAD\_RF.

En esta tecnología, solo se permite variar el parámetro *Specified Index*, el cual define el número de capas metálicas interconectadas. Por otra parte, en la **Figura 4-27** se muestra el circuito equivalente de un *pad* en la tecnología UMC 0.18 µm.

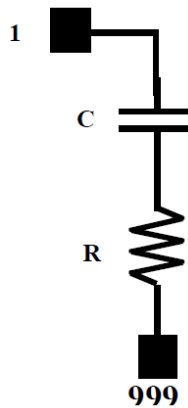


Figura 4-27. Circuito equivalente de un PAD\_RF.

En la **Figura 4-27** se muestran la capacidad y la resistencia parásita que aparecen en un *pad* de RF. En este caso, C representa la capacidad entre la capa de metal superior y tierra, mientras que R representa las pérdidas del camino a tierra en la banda de RF.

En la **Figura 4-28** se muestra el *layout* de un *pad* para RF, generado a partir del asistente que presenta el *kit* de diseño de la tecnología.

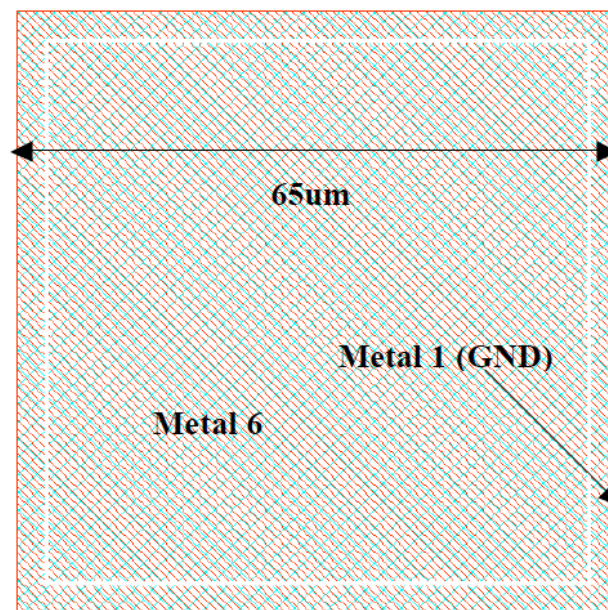


Figura 4-28. *Layout* de un *pad* para RF.

## 4.6. Resumen

A continuación, se muestra la lista completa de los componentes de los que dispone la tecnología UMC 0.18  $\mu\text{m}$  CMOS.

**Tabla 4-2.** Componentes de la tecnología UMC 0.18  $\mu\text{m}$  CMOS

Tipo de dispositivo	Nombre del dispositivo	Tipo de dispositivo	Nombre del dispositivo
Transistor MOS	N_18_MM	<b>Transistor BJT</b>	PNP_V50X50_MM
Transistor MOS	N_33_MM	<b>Transistor BJT</b>	PNP_V100X100_MM
Transistor MOS	P_18_MM	<b>Diodo</b>	DION_MM
Transistor MOS	P_33_MM	<b>Diodo</b>	DIOP_MM
Transistor MOS	N_BPW_18_MM	<b>Diodo</b>	DIONW_MM
Transistor MOS	N_BPW_33_MM	<b>Resistencia</b>	RNRHR1000_MM
Transistor MOS	N_LV_18_MM	<b>Resistencia</b>	RNNPO_MM
Transistor MOS	N_LV_33_MM	<b>Resistencia</b>	RNPPO_MM
Transistor MOS	P_LV_18_MM	<b>Resistencia</b>	RNNPO_RF
Transistor MOS	P_LV_33_MM	<b>Resistencia</b>	RNPPO_RF
Transistor MOS	N_ZERO_18_MM	<b>Resistencia</b>	RNHR_RF
Transistor MOS	N_ZERO_33_MM	<b>Varactor</b>	VARDIOP_RF
Transistor MOS	N_L18W500_18_RF	<b>Varactor</b>	VARMIS_18_RF
Transistor MOS	N_L34W500_33_RF	<b>Capacidad</b>	MIMCAPM_RF
Transistor MOS	N_PO7W500_18_RF	<b>Capacidad</b>	MIMCAPS_MM
Transistor MOS	N_PO7W500_33_RF	<b>Capacidad</b>	NCAP_MM
Transistor MOS	P_L18W500_18_RF	<b>Capacidad</b>	PCAP_MM
Transistor MOS	P_L34W500_33_RF	<b>Inductor</b>	L_SLCR20K_RF
Transistor MOS	P_PO7W500_18_RF	<b>Pad</b>	PAD_RF
Transistor MOS	P_PO7W500_33_RF		



## 5. Diseño a nivel de *layout* de los OTAs

En este capítulo se tratará la implementación del *layout* de los diferentes transconductores utilizados para implementar el filtro polifásico. En primer lugar, se realizará el desarrollo del *layout* de un inversor [24], que servirá como guía a la hora de abordar las implementaciones posteriores. Además, tal y como se ha visto en la etapa de diseño, los transconductores utilizados (Nauta y Nauta simplificado) son estructuras basadas en inversores. Por esta razón, intentar optimizar al máximo el *layout* del inversor será beneficioso para realizar la implementación del filtro polifásico. Una vez hecho esto, se trasladarán los diseños de *ADS* a *Cadence* y se compararán las respuestas. Cabe destacar que los transistores y condensadores usados son los propios de la tecnología CMOS de 0.18  $\mu\text{m}$  de UMC. Concretamente, los condensadores que se usarán son los MIMCAPM\_MM y los transistores los N\_18\_MM y P\_18\_MM. A continuación, se realizará el *layout* y la posterior comparación *layout* vs esquemático.

### 5.1. Implementación del *layout* de un inversor

El primer paso para realizar la implementación del *layout* de cualquier circuito es realizar el esquemático y las simulaciones pertinentes. Por esta razón, para realizar la implementación física del inversor, primero debemos generar una vista en esquemático del mismo en *Cadence*.

En el editor de esquemáticos de *Cadence* introducimos los elementos necesarios para implementar un inversor. En este caso, se debe añadir un transistor tipo P, otro tipo N, tierra y alimentación. Destacar que los transistores no han sido dimensionados y se han utilizado los valores por defecto, pues este circuito se utilizará simplemente como guía. En la **Figura 5-1** se puede ver de forma gráfica el procedimiento explicado.

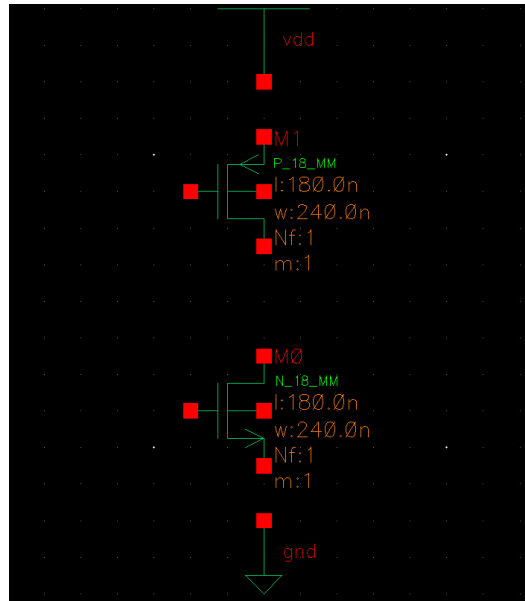


Figura 5-1. Implementación del inversor

Una vez hecho esto, el siguiente paso será realizar el conexionado del inversor e incluir los pines de entrada y salida del circuito. El resultado se ve en la figura **Figura 5-2**.

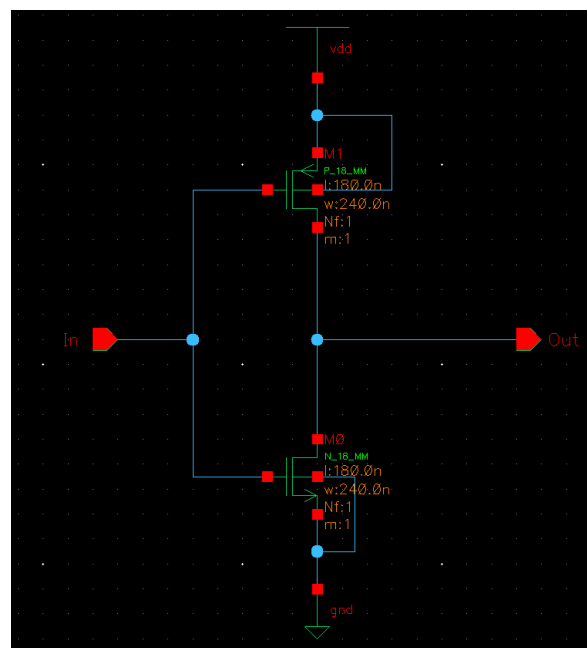


Figura 5-2. Esquemático del inversor en *Cadence*

Una vez finalizado el esquemático del inversor se debe generar un símbolo del mismo, que será utilizado para simularlo. Para ello, se genera una vista de símbolo y se realiza el mismo a consideración del diseñador. El resultado se puede comprobar en la **Figura 5-3**.

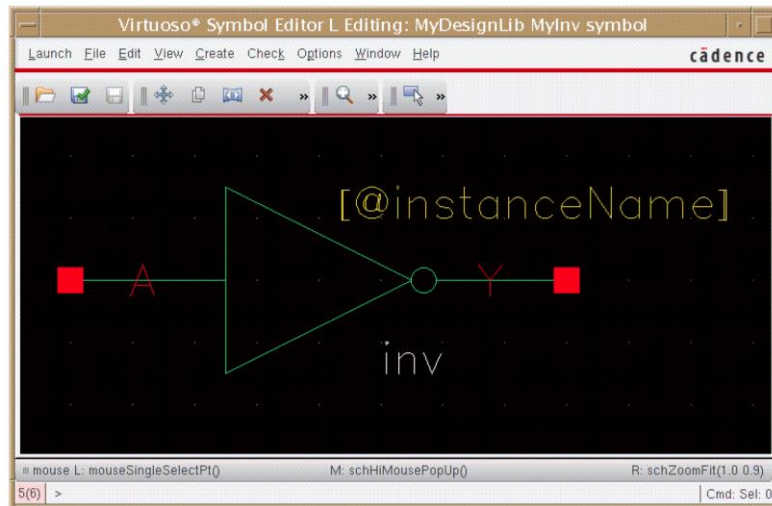


Figura 5-3. Símbolo del inversor

Para poder simular el circuito se debe crear un *testbench*, que permita alimentar el transconductor, introducir una señal a la entrada del circuito y ver la señal de salida. Los resultados de este procedimiento se pueden apreciar en la **Figura 5-4**.

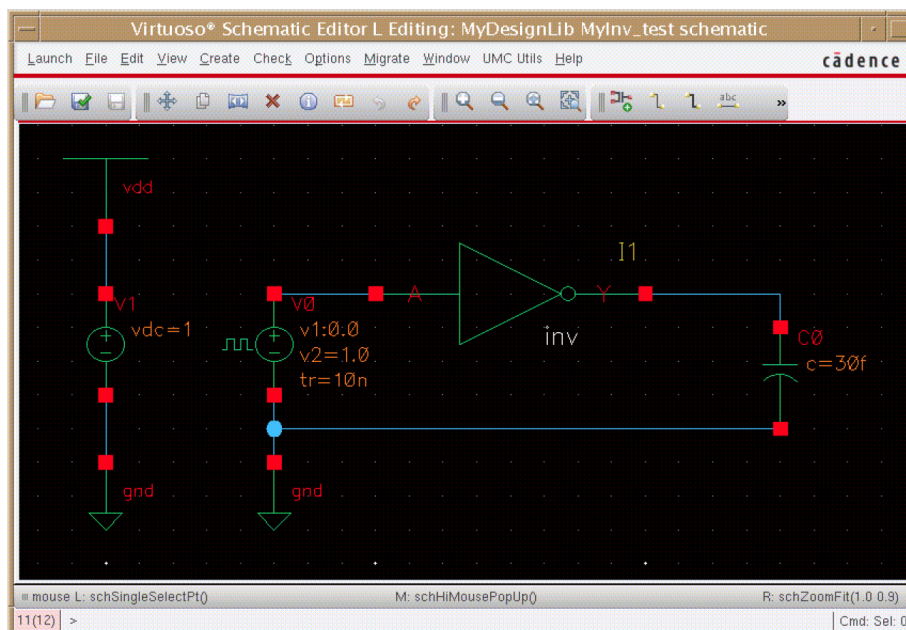
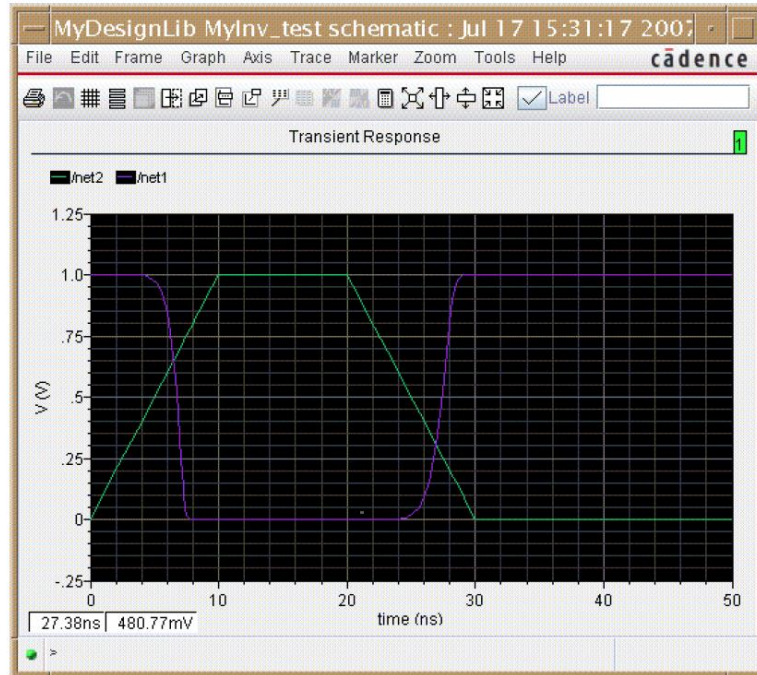


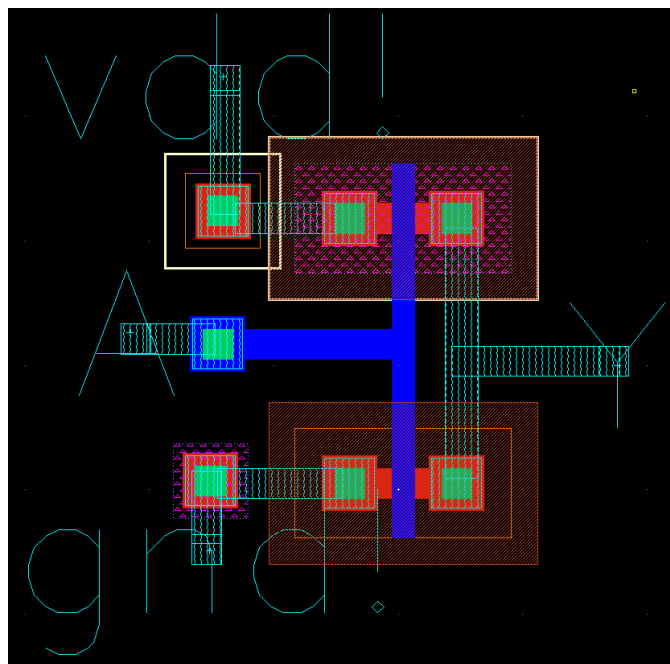
Figura 5-4. Testbench para simular el inversor

Una vez hecho esto, ya se puede simular el circuito. En este caso se realizará una simulación transitoria de 50 ns, suficiente para ver el efecto del inversor. A continuación, se seleccionan la entrada y la salida del inversor, obteniendo la respuesta mostrada en la **Figura 5-5**.



**Figura 5-5.** Simulación del inversor a nivel de esquemático

El siguiente paso será implementar el *layout* del inversor. Para ello, se genera una vista de *layout* sobre la que se va a trabajar. A la hora de implementar el *layout* del inversor se ha tratado de seguir la estructura del esquemático del mismo, minimizando el área que ocupa y la longitud de las pistas para reducir al máximo los efectos parásitos que puedan aparecer. La implementación del mismo se puede ver en la **Figura 5-6**.



**Figura 5-6.** *Layout* del inversor

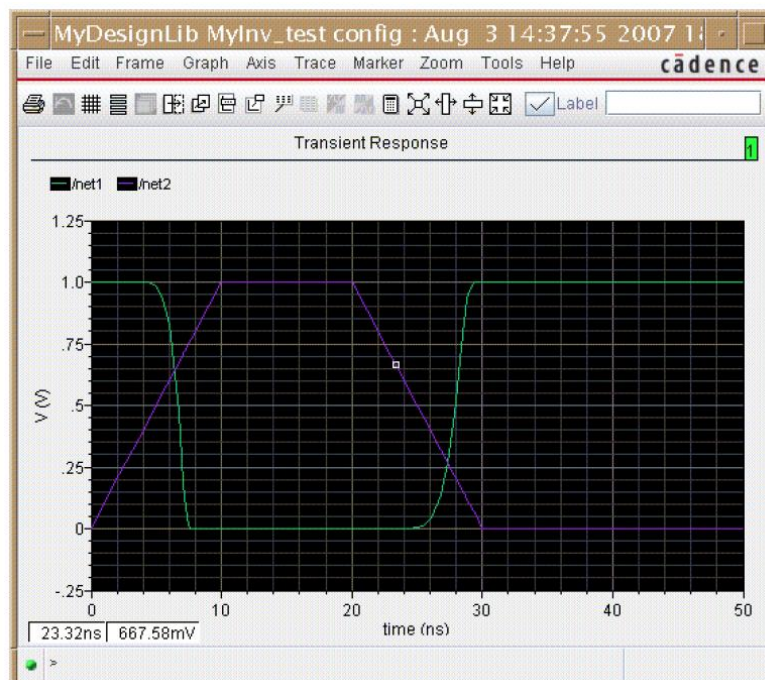


En la **Figura 5-6** ya se tiene la implementación del *layout*, donde se puede ver que se ha usado polisilicio para conectar las puertas de los transistores y metal 1 para conectar los drenadores de ambos. Finalmente, se conectan el resto de terminales a las entradas/ salidas de la señal o alimentación, según corresponda.

Una vez implementado el *layout*, se realiza un procedimiento para comprobar que este se ha realizado de forma correcta. En primer lugar, se ejecuta el DRC (Design Rule Checker) que analiza la implementación en busca de violaciones de reglas de diseño. Cabe destacar que se recomienda pasar este comprobador varias veces a medida que se va avanzando con la implementación para evitar la acumulación de errores.

A continuación, se procede a realizar una comparación entre el *layout* y el esquemático. Para ello se emplea el LVS (*Layout vs Schematic*) en el cual se comprueba que los distintos elementos tienen los mismos valores y las conexiones entre ellos son iguales en ambos casos.

Una vez se certifica esta coincidencia, se realiza un extraído de las resistencias y capacidades parásitas (QRC) que se han añadido con las conexiones metálicas entre los distintos elementos. Este extraído nos acercará aún más a las prestaciones del circuito una vez sea fabricado. Por tanto, el siguiente paso será simular la vista de *layout* del circuito, para comprobar si la respuesta obtenida es la esperada. Esta se puede observar en la **Figura 5-7**.



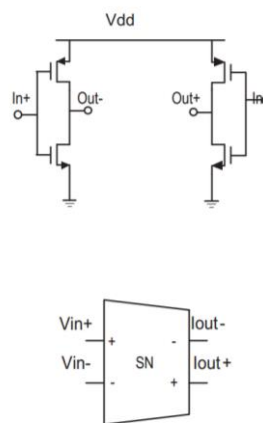
**Figura 5-7.** Respuesta del *layout*

Finalmente, se ha comprobado que la implementación de *layout* del inversor se ha realizado correctamente. Asimismo, destacar nuevamente que este procedimiento será de utilidad a continuación, ya que este servirá para futuras implementaciones.

A continuación, se va a realizar la implementación de los distintos transconductores a utilizar para conformar el filtro polifásico. En primer lugar, se desarrollará el *layout* del transconductor de Nauta simplificado, al ser este más simple y estar basado en dos inversores. Una vez hecho esto, se implementarán los dos transconductores restantes, basados en la estructura de Nauta.

## 5.2. Implementación del layout del OTA clase A-B

Tal y como se ha reflejado, en este caso se empezará por el *layout* del transconductor clase A-B (Nauta simplificado), ya que esta estructura es la más simple entre todas las que se van a llevar a cabo. En la **Figura 5-8**, se puede ver el esquemático de este transconductor.



**Figura 5-8.** Esquemático del Nauta simplificado

Al igual que en el caso anterior, se trasladará el circuito a *Cadence*, para comprobar que los resultados obtenidos son similares a los de *ADS*, ya que con esta herramienta se ha llevado a cabo el diseño de todos los circuitos. Esta traslación se puede ver en la **Figura 5-9**.

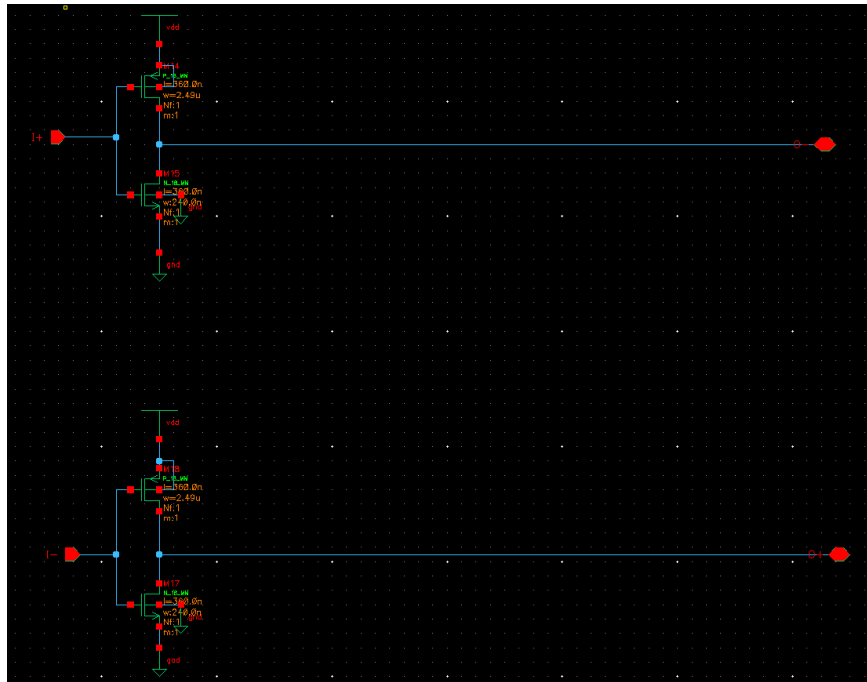


Figura 5-9. Esquemático del OTA clase A-B en Cadence

El siguiente paso es simular el circuito para comprobar que se obtiene la misma respuesta que en ADS. Esto se puede comprobar en la **Figura 5-10**.

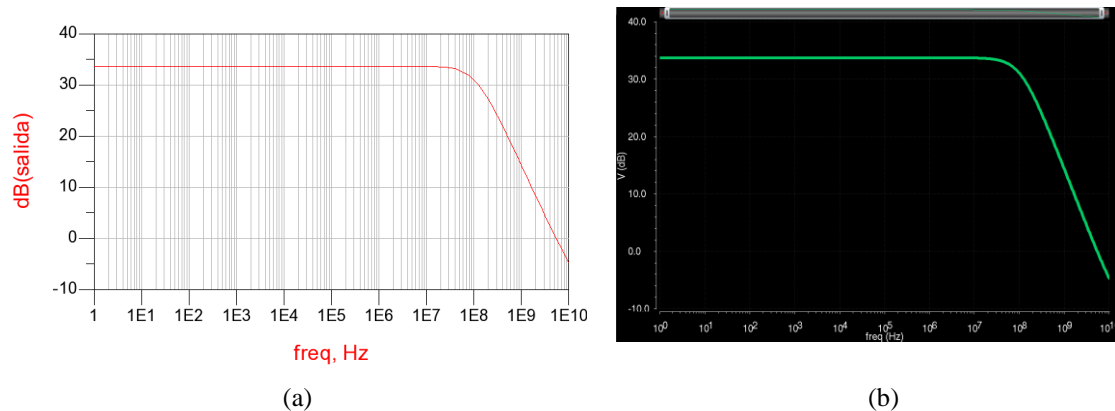


Figura 5-10. Simulación OTA clase A-B en ADS (a) y en Cadence (b)

Una vez comprobada esta similitud, se sigue el procedimiento realizado para el inversor para implementar el *layout* del transconductor clase A-B (Nauta simplificado). Al igual que en el caso anterior, se sigue la estructura del esquemático, tratando de minimizar la longitud de las pistas y el área ocupada por el circuito. En la **Figura 5-11** se puede observar la implementación en *layout* de este transconductor.

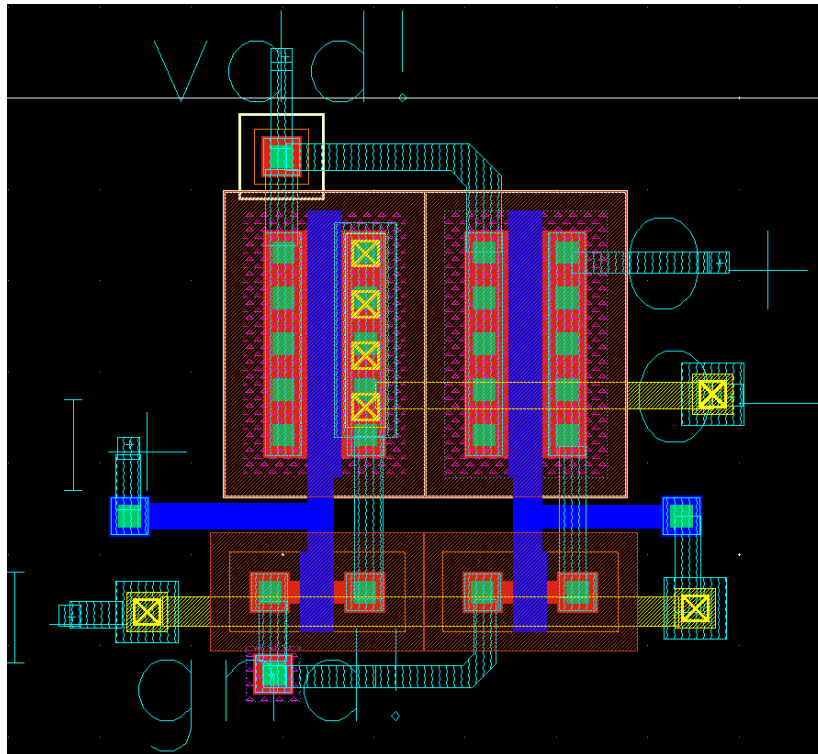
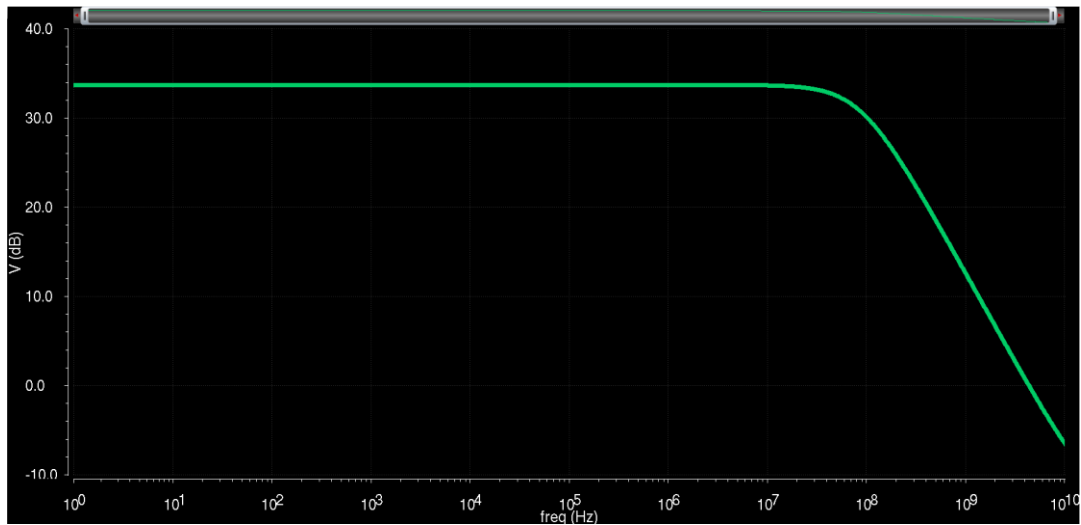


Figura 5-11. *Layout* del transductor clase A-B

Tal y como se puede comprobar, el circuito está formado por dos inversores. Para unir las puertas de cada inversor, se optó por polisilicio y para conectar los drenadores, al igual que antes se utilizó metal 1. En el caso de las conexiones entre los distintos inversores se utilizó metal 2 pues, al estar en otra capa, puede superponerse y minimizar el área. Pese a esto, es recomendable reducir al máximo el número de cruces para minimizar las capacidades parásitas. Por otro lado, en los giros de las pistas se ha optado por hacerlo de  $45^\circ$  en lugar de hacer giros de  $90^\circ$ , para facilitar el paso de señales de gran velocidad, pues de esta forma se reduce el estrés al que están sometidas las pistas al pasar corriente por ellas [25]. Finalmente, se han añadido los puertos de entrada y salida de señal, además de los de alimentación.

Una vez hecho esto, se realiza el procedimiento explicado para el inversor: DRC para comprobar que la implementación no incumple ninguna regla de diseño, LVS para verificar si el *layout* es equivalente al esquemático en lo referente a conexionado y QRC para obtener las capacidades y resistencias parásitas, que dará una visión más realista del funcionamiento del OTA. A esta versión se le conoce como extraído. Por lo tanto, en este punto se puede simular el circuito, tomando en cuenta estas parásitas para comparar con la versión de esquemático. Para realizar la simulación, se ha procedido de igual forma que en la fase de diseño en *ADS*, pero en este caso usando el simulador de *Cadence*. En la **Figura 5-12** se

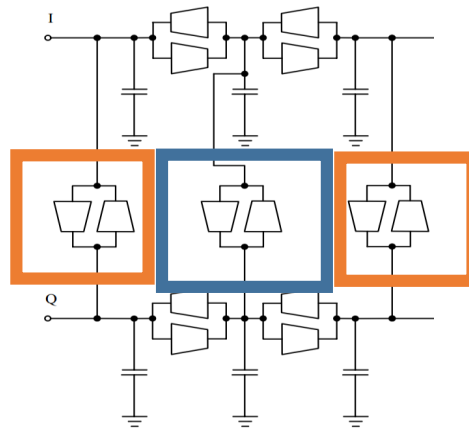
puede comprobar como la respuesta obtenida es similar a la que se obtiene simulando el esquemático.



**Figura 5-12.** Respuesta en frecuencia del transconductor de Nauta simplificado en *layout*

### 5.3. Implementación de los OTAs de Nauta

En el caso del transconductores de Nauta, se necesitan realizar dos implementaciones al haber dos transconductores de este tipo, pero con distintas dimensiones de transistores. La explicación de ambos se realizará de forma conjunta.



**Figura 5-13.** Filtro polifásico

Tal y como se comentó en la fase de diseño, los transconductores destacados en naranja en la **Figura 5-13**, serán denominados como transconductores laterales, y el destacado en azul, central. Al igual que en el caso anterior, el primer paso es trasladar los transconductores a *Cadence* para realizar la simulación pertinente. En la **Figura 5-14** y la **Figura 5-15** se puede comprobar el esquemático de ambos.

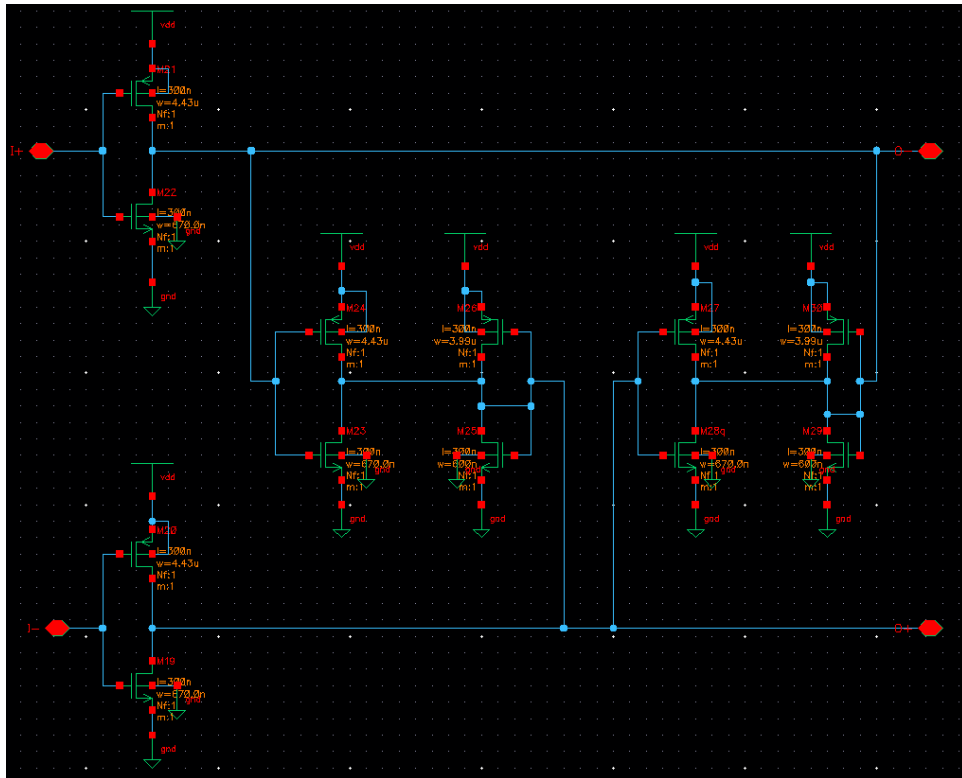


Figura 5-14. Transconductor cruzado central

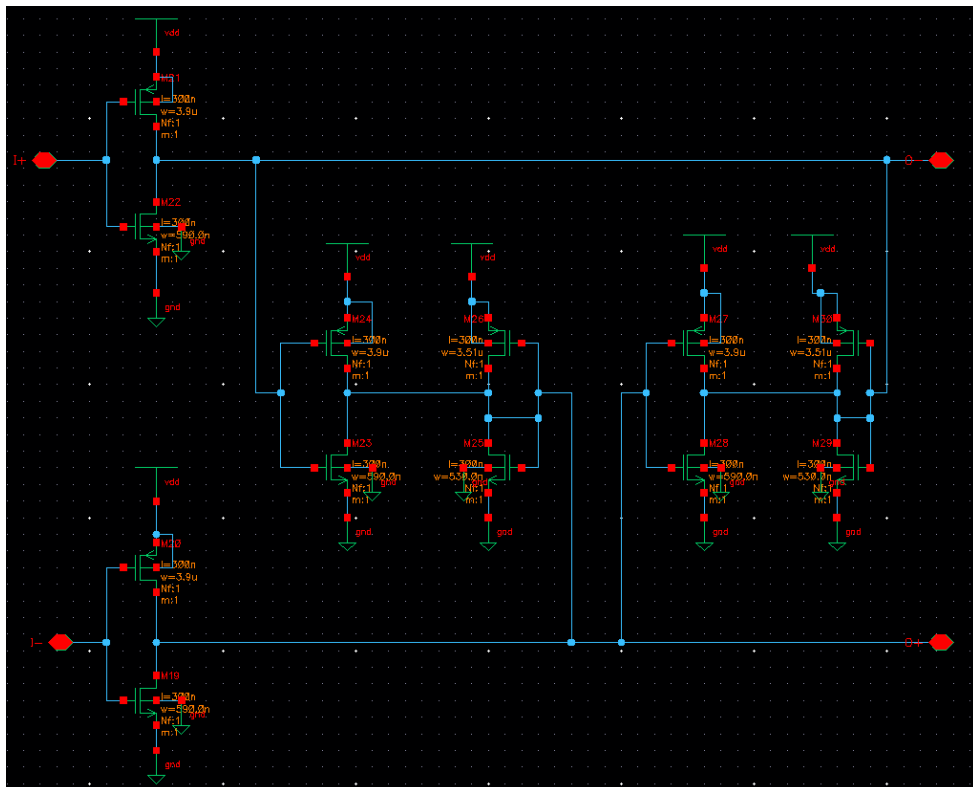
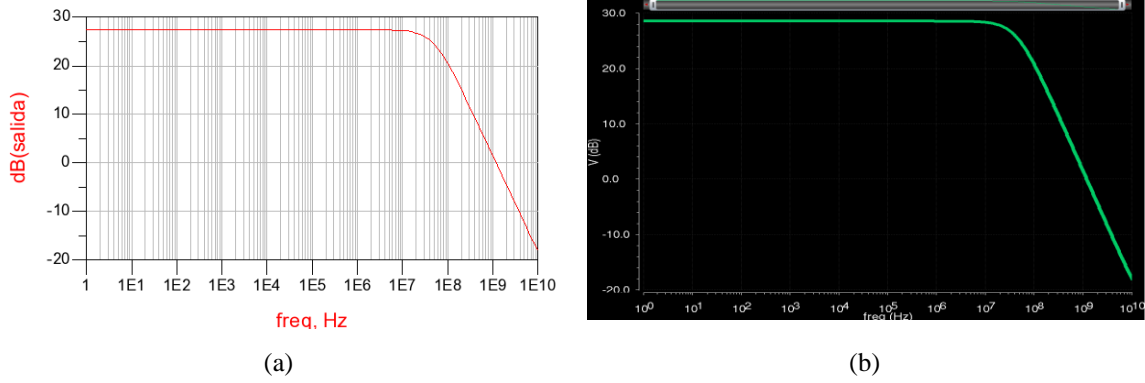
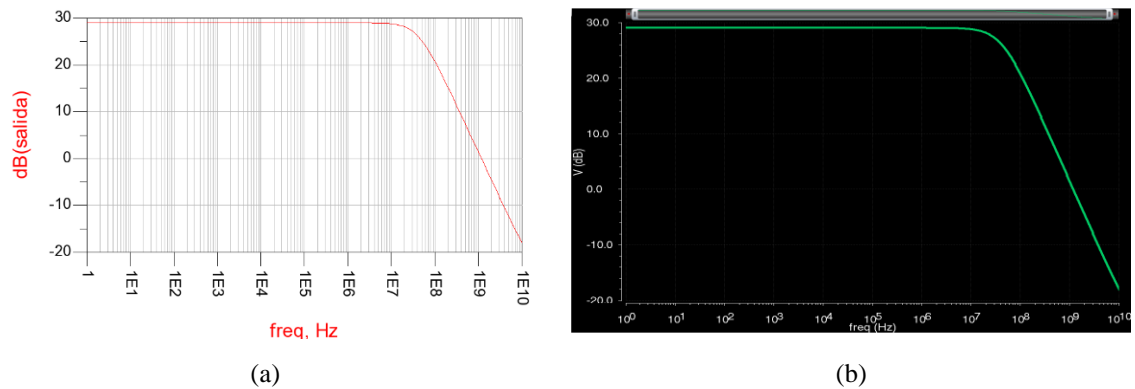


Figura 5-15. Transconductor cruzado lateral

El siguiente paso es simular para comprobar que ambas respuestas son similares. En las Figuras 5-16 y 5-17 se puede comprobar que ambos lo son.



**Figura 5-16.** Simulación OTA Nauta central en ADS (a) y en Cadence (b)



**Figura 5-17.** Simulación OTA Nauta lateral en ADS (a) y en Cadence (b)

Una vez se comprueba que son iguales, se puede empezar a desarrollar la implementación de *layout*. En este caso, tal y como se puede comprobar en los esquemáticos de ambos transconductores, se ve cómo este está conformado por seis inversores. Este punto es de gran importancia, ya que se puede implementar a partir de la estructura del *layout* desarrollada para el inversor, para tratar de optimizar al máximo el área ocupada por el circuito.

Cabe destacar que la idea que se sigue es la misma que se siguió con el transconductor clase A-B, en el que se trata de minimizar tanto la longitud de los metales, como el número de cruces que hay entre metales de capas sucesivas. De esta forma, se consigue reducir las posibles características parásitas que puedan perjudicar al rendimiento del circuito. En las **Figuras 5-18 y 5-19** se puede ver la implementación del *layout* desarrollado.

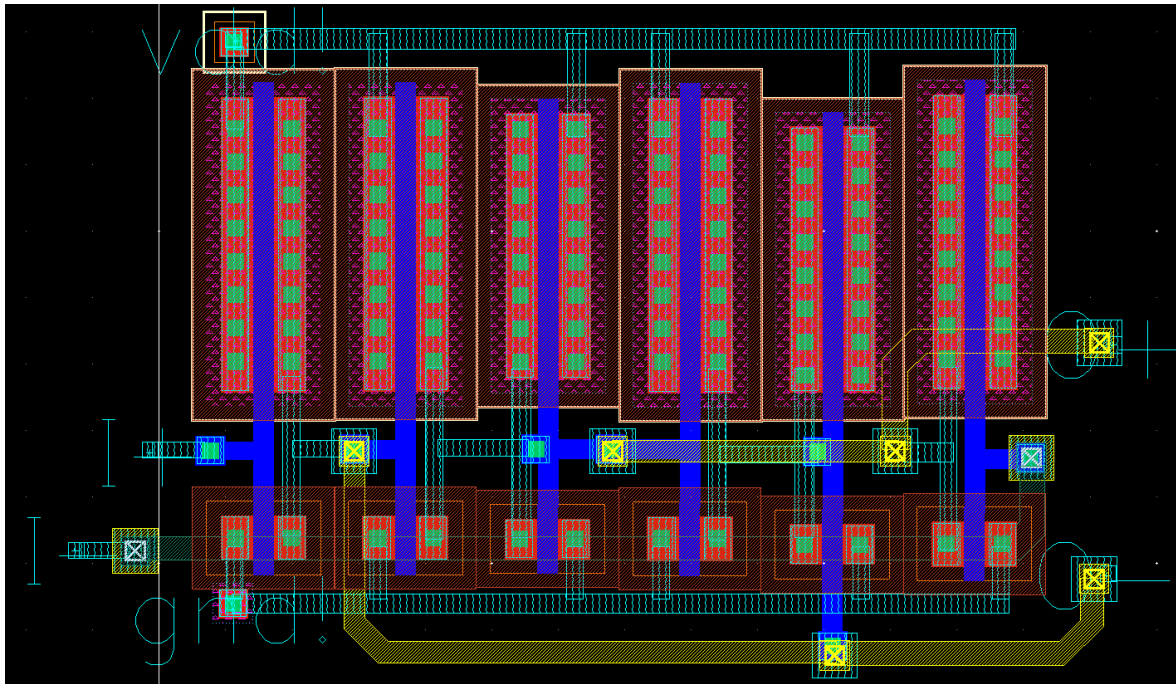


Figura 5-18. *Layout* del transductor central

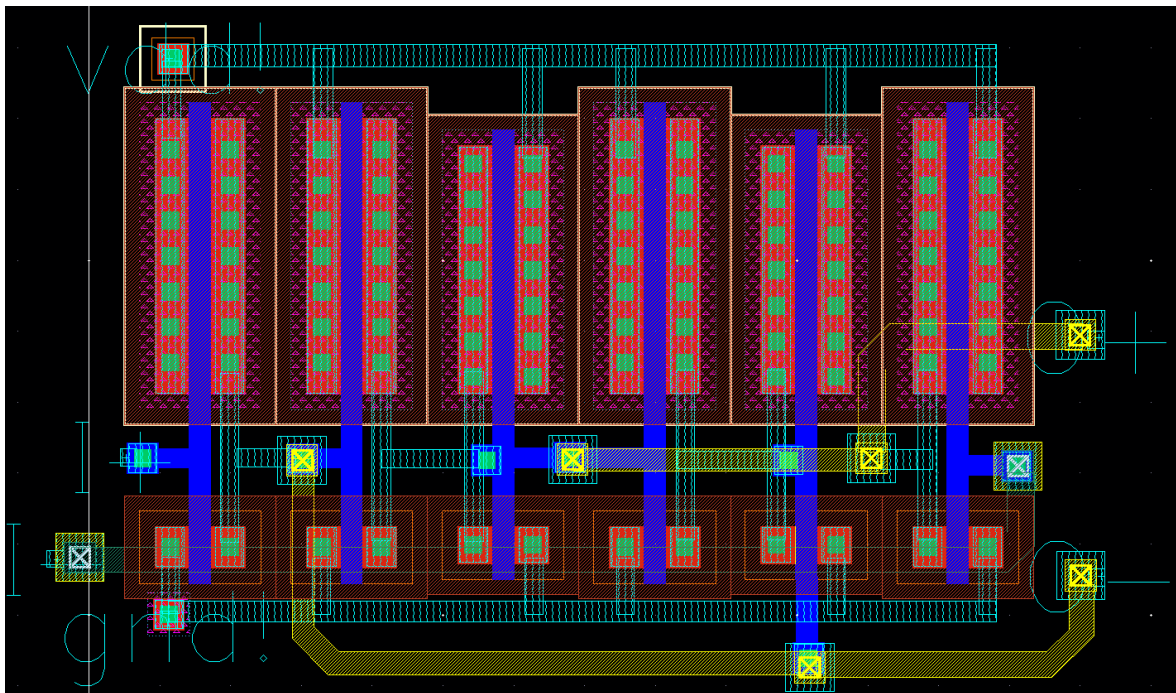


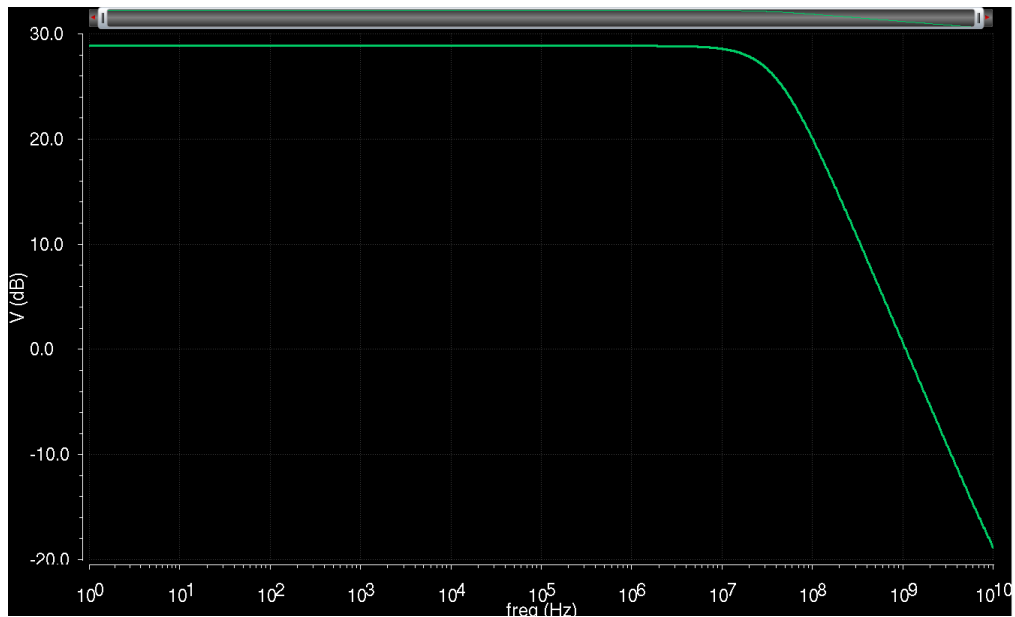
Figura 5-19. *Layout* de los transconductores laterales

Tal y como se puede comprobar, en ambos casos se ha optado por seguir la estructura ya desarrollada en los casos anteriores para realizar el *layout*. Tras probar distintas formas de llevar a cabo esta implementación, se optó por disponer los seis inversores de forma que todos se conectaran a alimentación por la parte superior y a tierra por la inferior, pues de esta forma se minimizaba tanto la longitud de las pistas de metal a emplear, como el número de

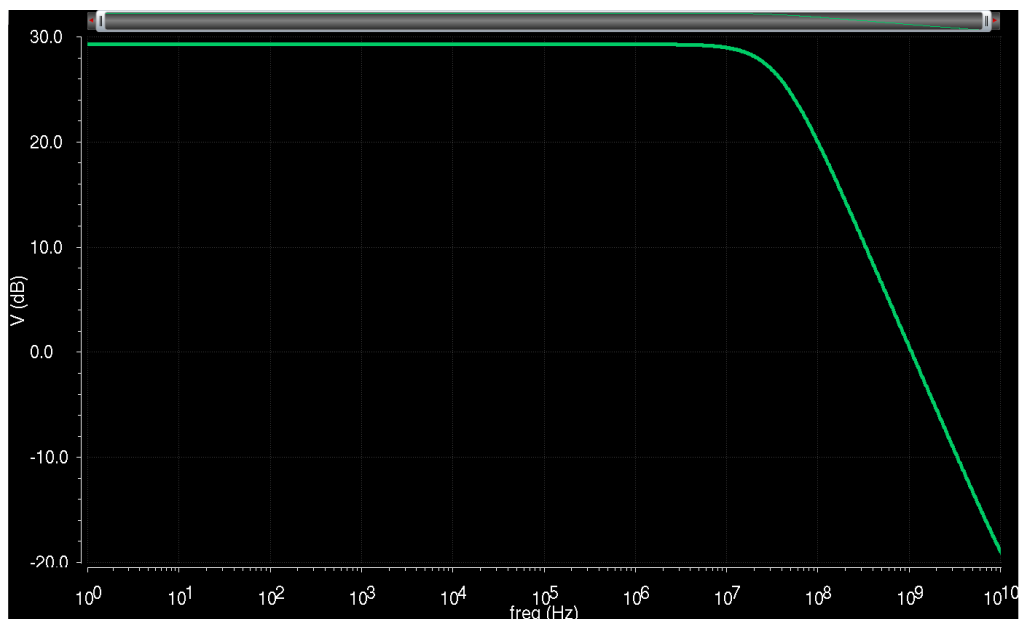


metales distintos presentes en la implementación. De esta manera se minimizan los parásitos del circuito.

Siguiendo con el procedimiento ya explicado previamente, el siguiente paso es realizar las distintas pruebas a estas implementaciones, para comprobar si cumplen las reglas de diseño, conexas y extraer las capacidades y resistencias parásitas (extraído). Tras realizar este procedimiento, se simula la respuesta en frecuencia del extraído que se puede apreciar en la **Figura 5-20** para el transductor central y en la **Figura 5-21** para los laterales.



**Figura 5-20.** Respuesta en frecuencia del extraído del transductor central



**Figura 5-21.** Respuesta en frecuencia del extraído de los transductores laterales

Finalmente, se puede comprobar cómo se han obtenido respuestas similares a las resultantes al simular el esquemático de ambos transconductores. Por lo tanto, ya se puede proceder a explicar la implementación en *layout* del filtro polifásico completo.

#### **5.4. Conclusiones**

En este capítulo, se ha llevado a cabo la explicación de la implementación física de los transconductores a emplear para realizar el *layout* del filtro polifásico completo. Para ello y a forma de guía, se ha realizado un pequeño tutorial de cómo realizar el *layout* de un inversor. Este tutorial, a su vez, ha servido para optimizar el área del resto de circuitos, pues estos están basados en estructuras formadas a partir de inversores.

Finalmente, se ha realizado el *layout* de los tres transconductores, se ha comprobado que estos cumplen tanto las reglas de diseño (DRC) como el conexionado del esquemático (LVS) y se ha obtenido la versión extraída. Una vez hecho esto, se ha procedido a simular, comprobando, de esta forma, que la implementación física del circuito proporciona una respuesta similar a la del esquemático.

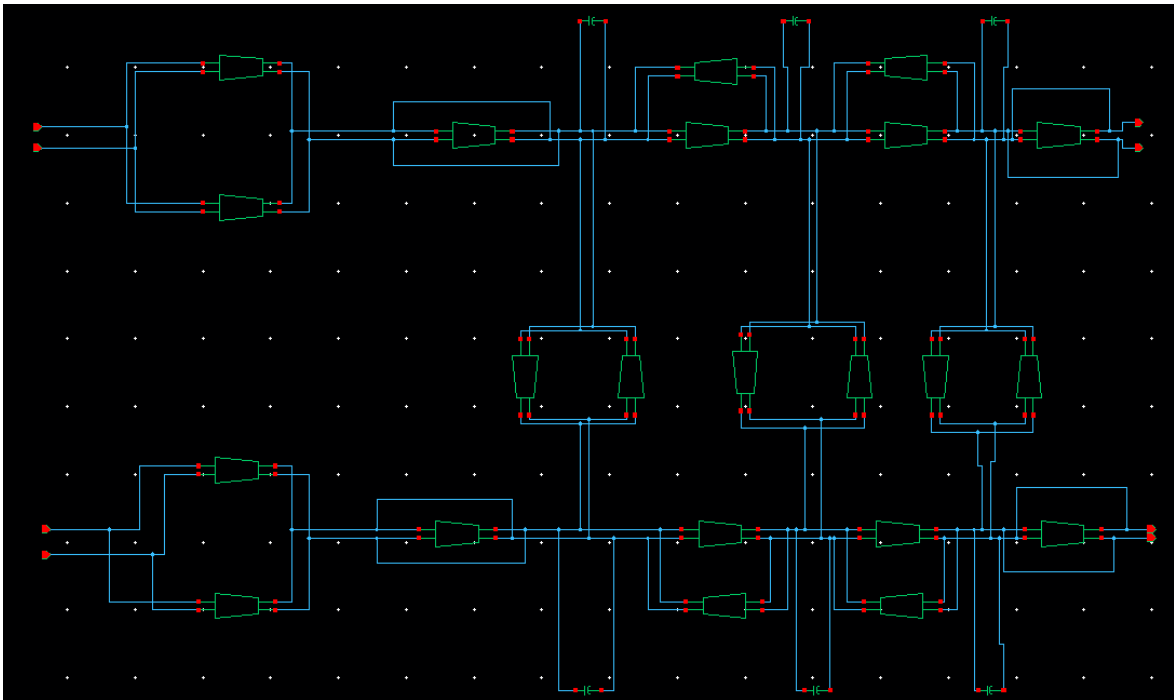
# Capítulo 6

## 6. Diseño a nivel de *layout* del filtro polifásico

En el capítulo anterior se ha descrito la fase de desarrollo de *layout* de los transconductores. En este capítulo se llevará a cabo la explicación de cómo a partir de esos transconductores se puede desarrollar la implementación física del filtro polifásico. Para esta tarea se seguirá la misma metodología llevada a cabo en el capítulo anterior. De esta forma, se podrá ver paso a paso que se está realizando el procedimiento adecuadamente. Finalmente, además de las simulaciones de respuesta en frecuencia del filtro, se realizarán simulaciones Montecarlo para comprobar el funcionamiento del mismo bajo distintas condiciones.

### 6.1. Traslación del circuito

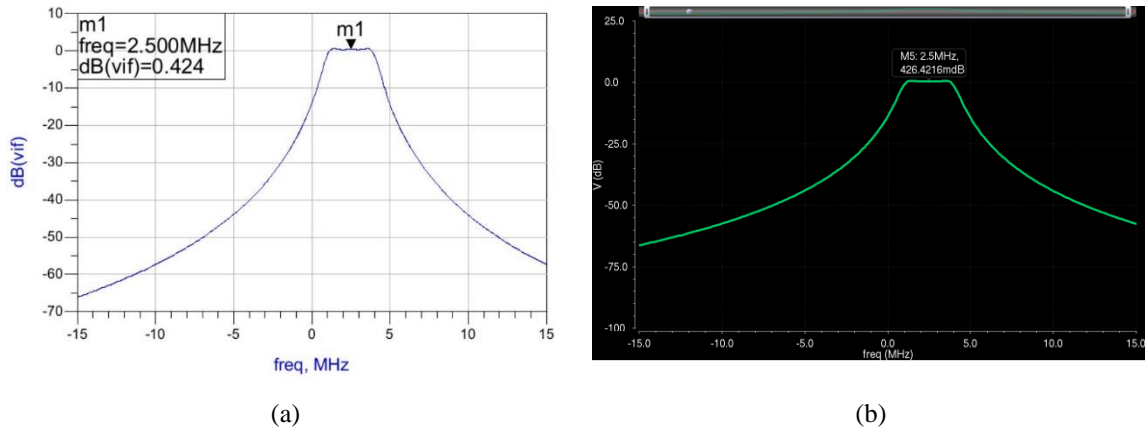
Tal y como se ha reflejado, se debe implementar el esquemático del filtro polifásico en *Cadence*. En la **Figura 6-1** se puede observar el resultado.



**Figura 6-1.** Filtro polifásico en *Cadence*

Una vez hecho esto, se procede de la forma explicada en el capítulo anterior y se simula la respuesta en frecuencia del filtro polifásico. La comparación entre la respuesta en *ADS* y en *Cadence* se puede ver en la **Figura 6-2**. Cabe destacar que, para realizar la simulación,

se ha procedido de igual forma que en la fase de diseño en *ADS*, pero en este caso usando el simulador de *Cadence*.



**Figura 6-2.** Respuesta en frecuencia del filtro polifásico en *ADS* (a) y en *Cadence* (b)

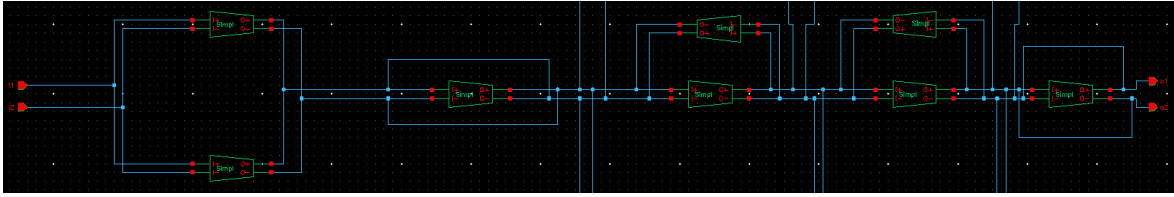
Tal y como se puede comprobar, en ambos casos se obtienen tanto las mismas características de ganancia en la banda de paso (próxima a 0 dB) como criterios de rechazo. Por lo tanto, se puede avanzar a la implementación de *layout* de este circuito.

En este caso, para la implementación física del filtro polifásico, se desea que este ocupe el mínimo área posible y minimizar las capacidades y resistencias parásitas debidas al conexionado. Además, se pretende que por las dos ramas del mismo (I y Q), la respuesta sea similar. Por esta razón, se realizará la implementación siguiendo el esquemático del filtro para conseguir que este sea lo más simétrico posible.

Por otra parte, ya se ha visto que el circuito está compuesto por dos ramas similares (I y Q) y las ramas cruzadas. Por esta razón, a la hora de abordar la implementación de las ramas I y Q la explicación se hará de forma simultánea. Asimismo, se explicarán las ramas cruzadas de forma conjunta pues, tal y como se puede ver en el esquemático, estas tres tienen la misma estructura. Finalmente, como ya se ha realizado la implementación de los distintos transconductores, las implementaciones que se realizarán a continuación se harán a partir de estas ya implementadas.

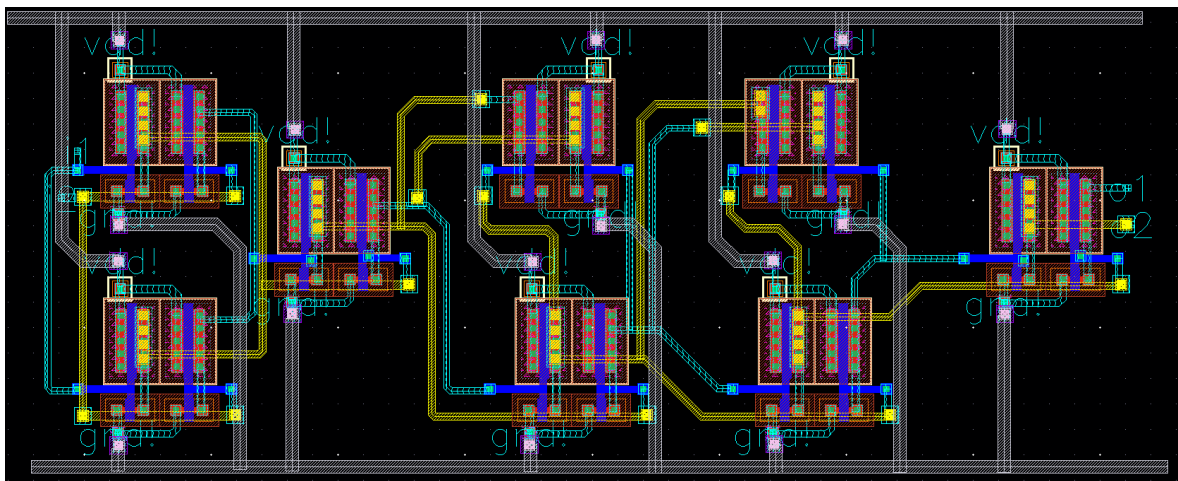
## 6.2. *Layout* de las ramas I y Q

Tal y como se puede ver en la **Figura 6-3**, estas ramas se corresponden con el filtro paso bajo a partir del cual se llevó a cabo el diseño del filtro polifásico.



**Figura 6-3.** Rama I y Q

En la **Figura 6-3** se puede comprobar cómo estas ramas están formadas por ocho transconductores, en este caso, de tipo Clase A-B (Nauta simplificado). Siguiendo la estructura del esquemático y utilizando los transconductores implementados previamente, se desarrolló el *layout* mostrado en la **Figura 6-4**.



**Figura 6-4.** *Layout* de las ramas I y Q

En la **Figura 6-4** se puede comprobar la implementación del *layout* llevada a cabo. Para el conexionado, se ha hecho uso de POLY en el caso de las puertas y los metales 1 y 2 para el resto de terminales. En el caso de la alimentación, se ha utilizado metal 5 para simplificar a la hora de conectar con el resto de partes del filtro polifásico. Al igual que en los casos anteriores, se ha tratado de llegar a una relación de compromiso entre el número de cruces de los metales de capas adyacentes y el área consumida por el *layout*, consiguiendo, a su vez, reducir posibles efectos parásitos en el circuito.

### 6.3. *Layout* de las ramas cruzadas

En este caso, se va a implementar el *layout* de las ramas cruzadas, que son las encargadas de realizar el desplazamiento en frecuencia del filtro polifásico. Además, permite realizar la distinción entre fase positiva y negativa (I y Q) para quedarse con la señal deseada al introducir un polo complejo simple. En la **Figura 6-5** se puede ver la estructura a implementar.

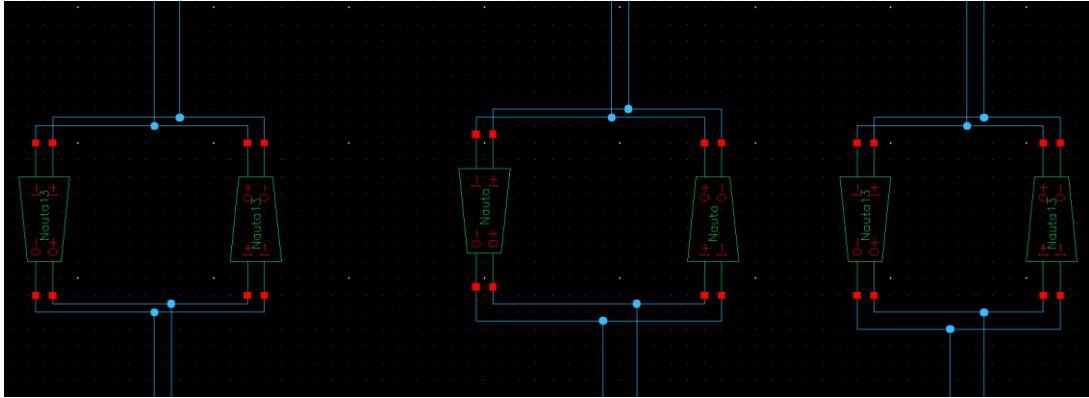


Figura 6-5. Ramas cruzadas

Tal y como se puede comprobar, en este caso se tienen dos transconductores por cada rama cruzada. En el caso de las laterales se utiliza el transconductor de Nauta lateral (Nauta13 en la Figura 6-5) y en el caso de la central el Nauta central (Nauta en la Figura 6-5). En las Figuras 6-6 y 6-7, se muestra el *layout* de ambos transconductores.

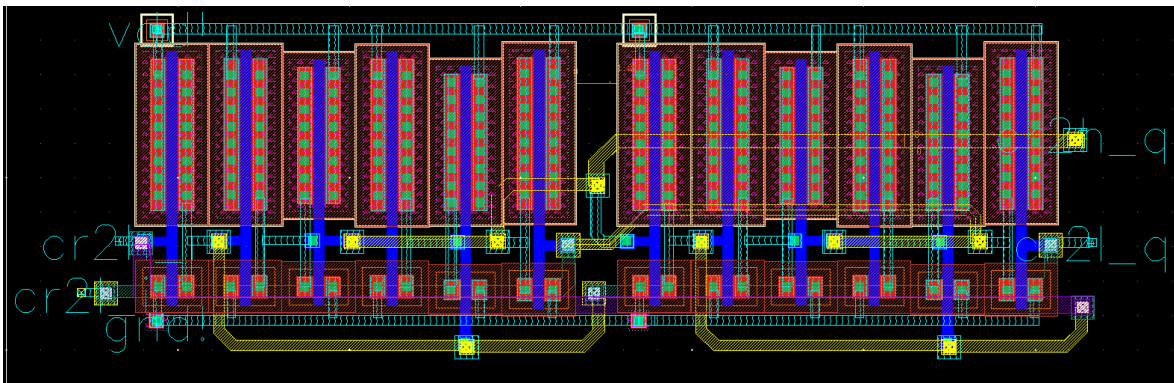


Figura 6-6. Layout rama cruzada central

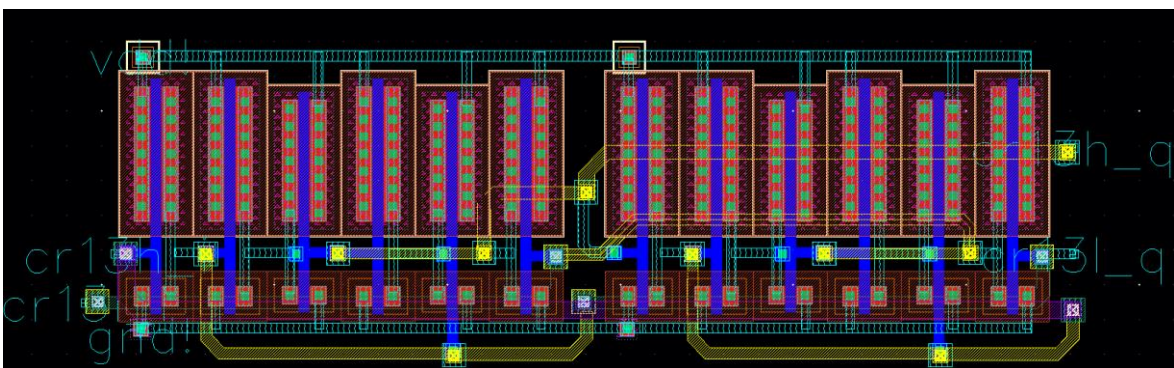


Figura 6-7. Layout ramas cruzadas laterales

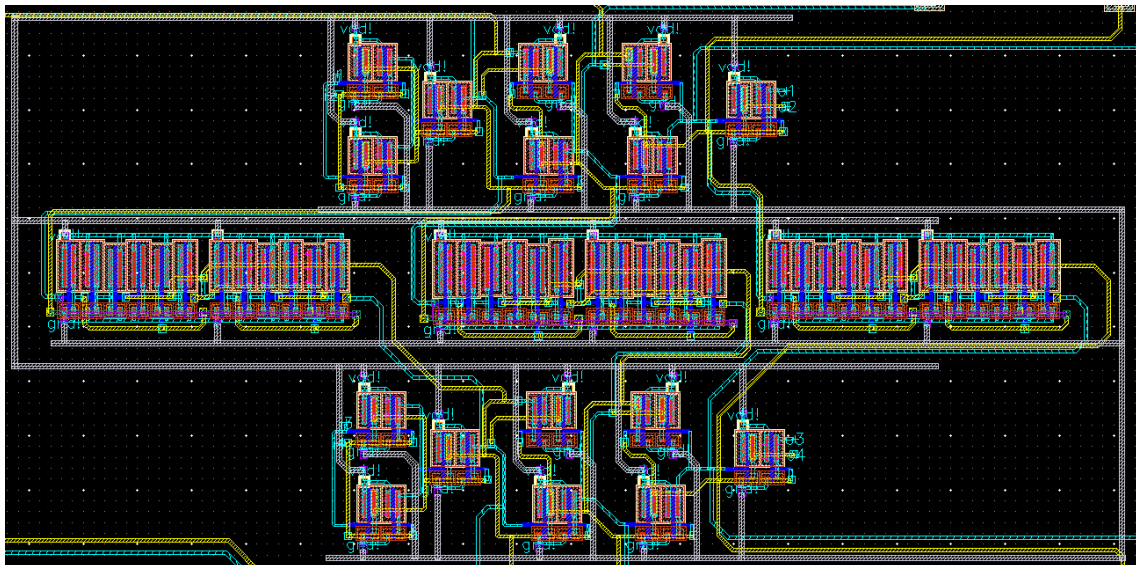
En ambos casos, se ha partido de los transconductores ya desarrollados para implementar el *layout* de cada rama. Al igual que en los casos anteriores, se ha usado POLY en la conexión de las puertas y metal 1 y 2 para las conexiones de cada transconductor. En el caso de las conexiones entre ambos transconductores, se ha utilizado metal 3 y 4 para

tratar de minimizar el área ocupada por los mismos. A su vez, se ha tratado de minimizar el número de cruces de este metal con respecto a metales de capas cercanas para disminuir las capacidades parásitas. Finalmente, en lo respectivo a alimentación y tierra, se han dejado pines preparados para conectar con metal 5 como ya se hizo en las ramas I y Q.

Llegados a este punto, ya se tienen todos los componentes necesarios para implementar el *layout* del filtro polifásico completo. Para ello, se debe conectar cada una de las partes realizadas y añadir los condensadores pertinentes.

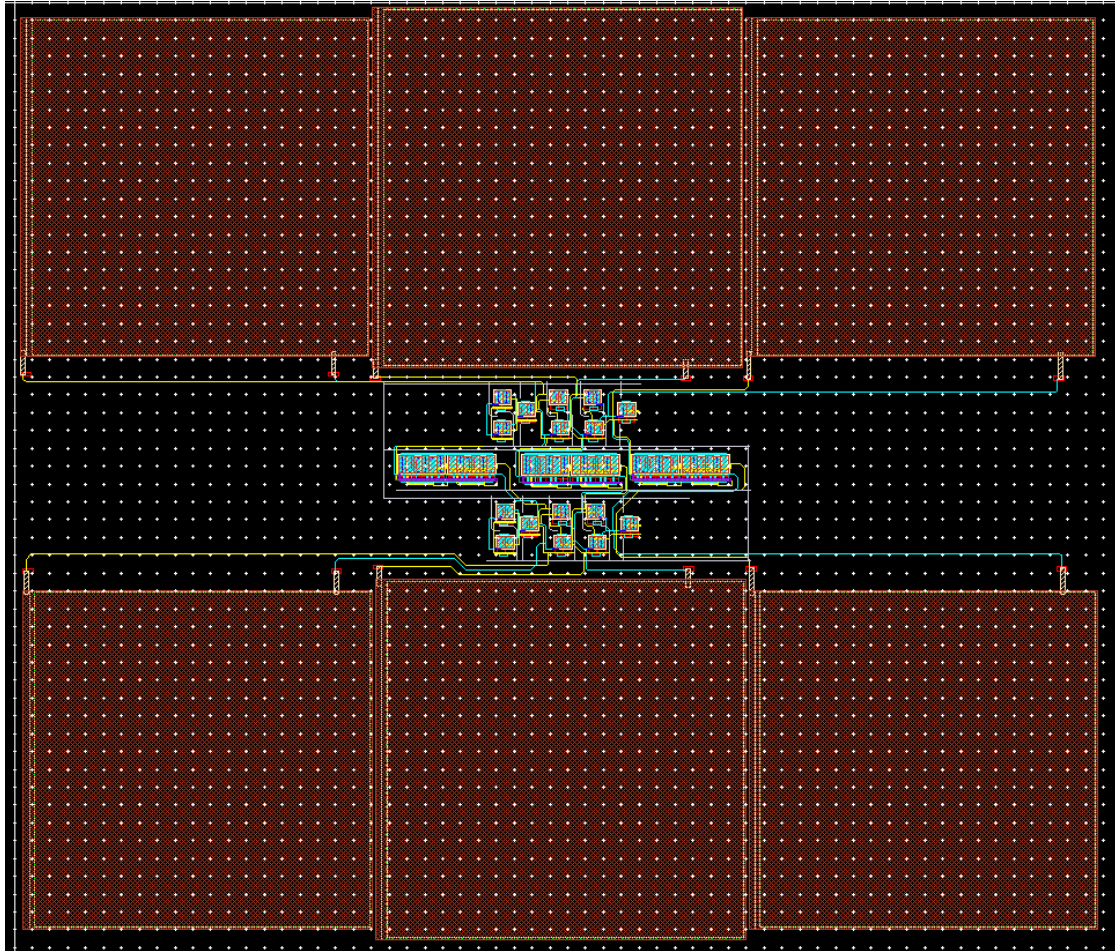
#### 6.4. *Layout* del filtro polifásico

En primer lugar, se debe realizar el conexionado mencionado previamente. Como ya se ha comentado, en este caso se tiene las ramas I y Q y las tres ramas cruzadas. En la **Figura 6-8** se puede ver el resultado de realizar esta agrupación.



**Figura 6-8.** *Layout* del filtro polifásico sin condensadores

En la **Figura 6-8** se puede comprobar claramente cada una de las partes de filtro polifásico. A partir de cada una de las implementaciones realizadas y manteniendo las conexiones llevadas a cabo, se ha terminado de conectar el filtro tratando de minimizar área. Esta minimización se ha realizado principalmente para el eje vertical, ya que como veremos a continuación, la optimización en el eje horizontal pierde importancia con la inclusión de los condensadores en el *layout*. A continuación, se añadirán a esta implementación los condensadores correspondientes para finalizar la implementación en *layout* del circuito.



**Figura 6-9.** *Layout* del filtro polifásico completo

Finalmente, al incluir los condensadores se tiene la implementación física del circuito completo. En la **Figura 6-9** se ve como la principal aportación en términos de área es debida a estos condensadores. Esta es la razón por la cual se ha optado por minimizar el área en la componente vertical, ya que debido a la inclusión de estos condensadores no es necesario realizar esa tarea en el eje horizontal que, además, podría perjudicar el comportamiento del diseño. En este caso, para añadir los condensadores se han incluido vías de metal 6 a los metales 1 y 2 (pasando por los metales contenidos en el rango), para poder realizar el conexionado pertinente con el resto del circuito. Finalmente, cabe destacar que el filtro polifásico mide 300  $\mu\text{m}$  de ancho por 262  $\mu\text{m}$  de alto.

Por último, se rellenan los espacios libres con conexiones a sustrato con el fin de hacer el circuito más robusto frente a corrientes indeseadas que interfieren en el funcionamiento del mismo, ya que son derivadas a sustrato, cuyo potencial es cero. El resultado se puede observar en la **Figura 6-10**.



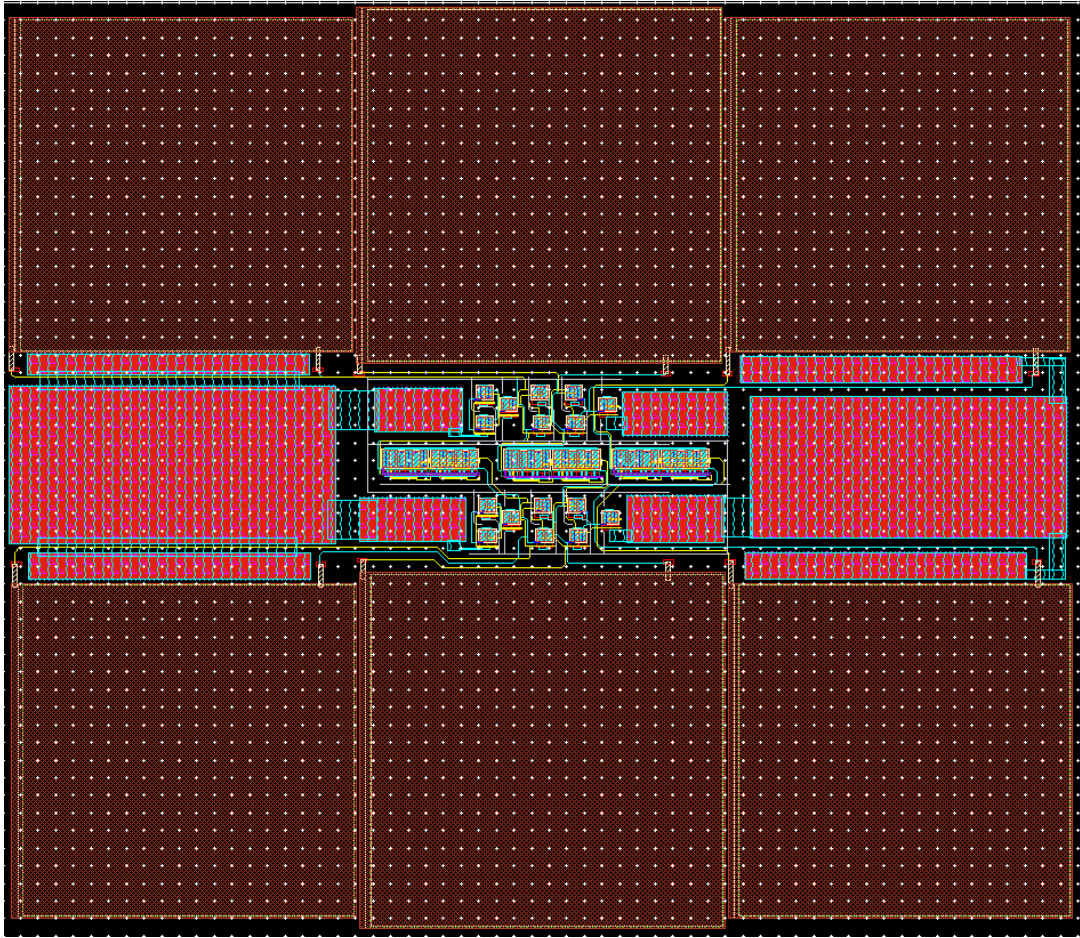


Figura 6-10. Filtro polifásico con conexiones a sustrato

Llegados a este punto, se deben realizar los pasos que se han seguido previamente para comprobar que se cumplen reglas de diseño, de *layout vs schematic* y obtener la versión extraída. Una vez se realiza este procedimiento, se simula la versión extraída del filtro y se obtiene la respuesta en frecuencia que se muestra en la **Figura 6-11**.

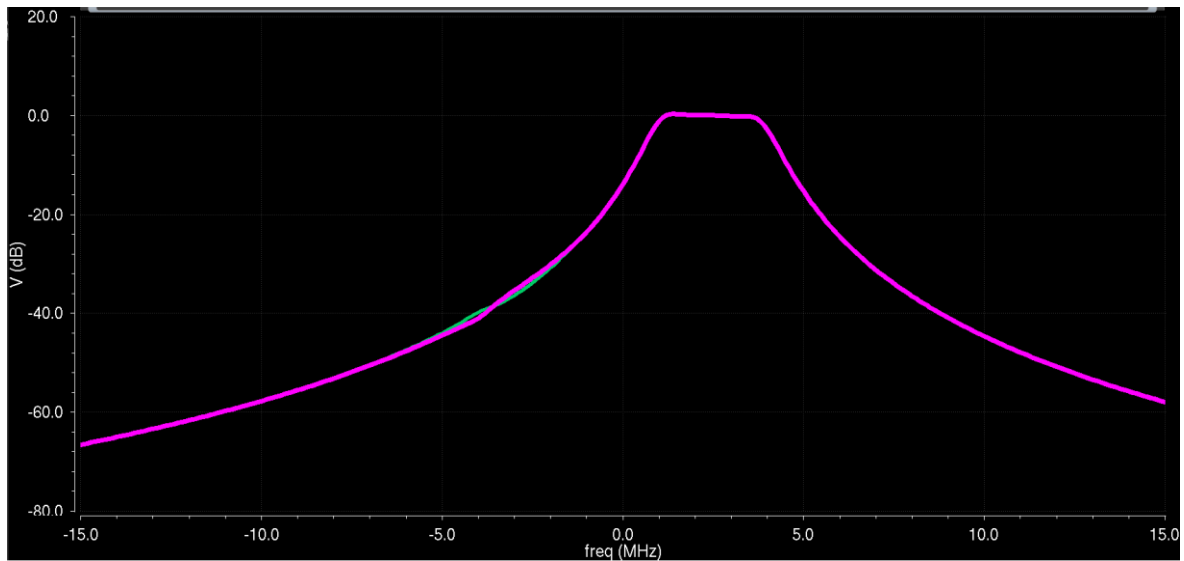
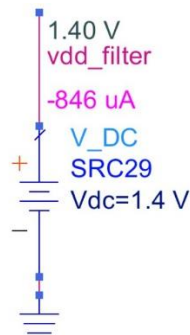


Figura 6-11. Respuesta del *Layout* del filtro polifásico

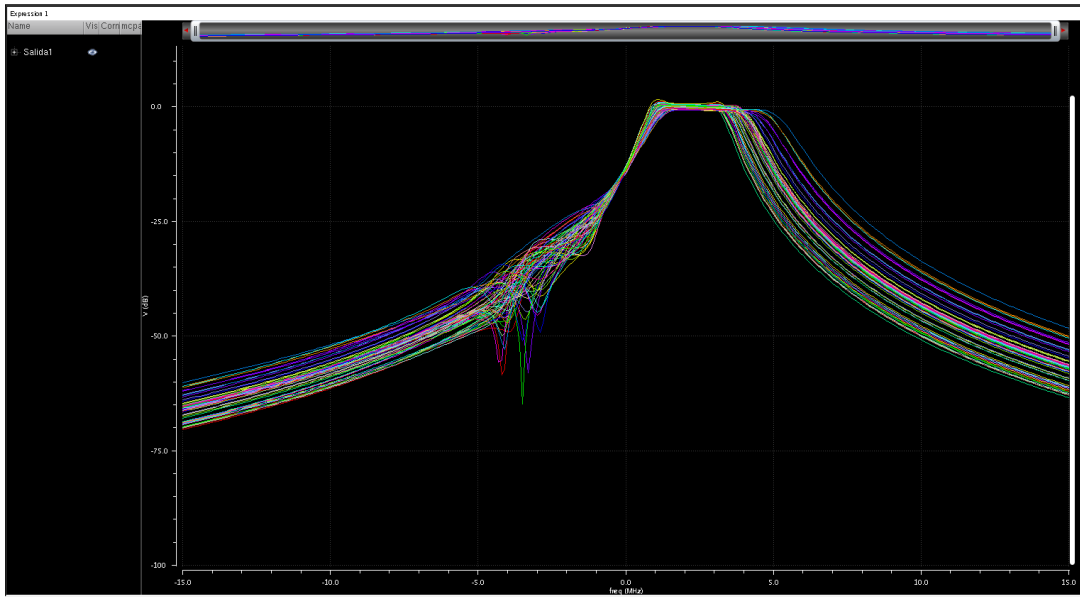
En la **Figura 6-11** se ha incluido la respuesta en frecuencia tanto de la rama I como de la rama Q (verde y rosa, respectivamente). Cabe destacar que ambas presentan respuestas similares. Sin embargo, alrededor de los -4 MHz se aprecia una ligera diferencia. Esto puede ser debido a pequeñas pistas en las que el diseño no sea perfectamente simétrico para ambas ramas. Pese a esto, se cumplen los requisitos de rechazo imagen, al ser estos superiores a los 30 dB exigidos por el estándar en ambos casos. Además, se puede comprobar como el filtro sigue centrado a 2.5 MHz. Estos resultados serán analizados de forma más completa en el siguiente capítulo, donde se introducirá el filtro en un receptor para realizar simulaciones *post-layout* al receptor completo. Finalmente, cabe destacar que en términos de consumo no se presenta ninguna variación (ver **Figura 6-12**).



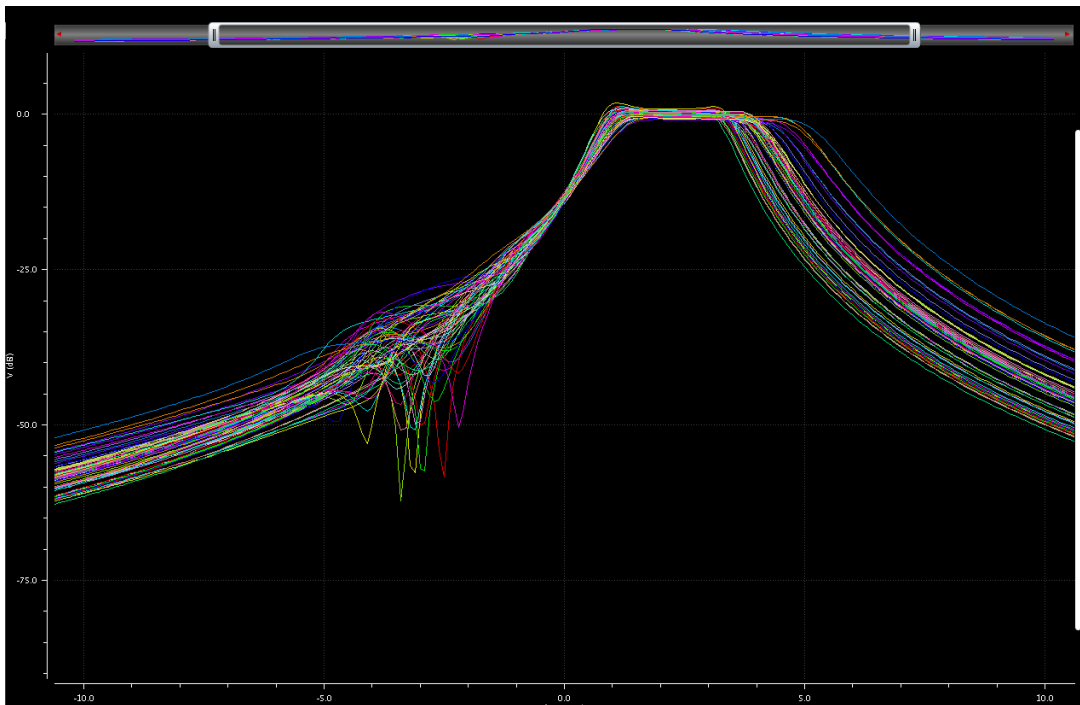
**Figura 6-12.** Consumo del filtro en simulaciones *post-layout*

## 6.5. Simulaciones Montecarlo

El último paso de este capítulo será realizar las simulaciones Montecarlo del filtro polifásico a partir del extraído del mismo. En este caso, se realizarán simulaciones con 20 muestras aleatorias a simular en el proceso. Se tendrán en cuenta tres temperaturas, cumpliendo el rango industrial. Estas temperaturas son -40°C, 27°C y 85°C. Una vez establecidas estas condiciones se realizan las simulaciones y se obtienen las respuestas en frecuencia mostradas en la **Figura 6-13**.



(a)



(b)

**Figura 6-13.** Simulaciones Montecarlo para la rama I (a) y la rama (Q)

En la **Figura 6-13** se puede comprobar que la respuesta en frecuencia mantiene la forma que le corresponde y sigue centrada en la frecuencia de 2.5 MHz. Sin embargo, se puede observar un ensanchamiento en el ancho de banda del filtro debido a que los transconductores de Nauta son muy dependientes de la tensión de alimentación y pequeñas variaciones en esta puede causar problemas en el correcto funcionamiento del mismo. Este problema ya se había previsto durante la etapa de diseño y como solución al mismo, se

plantea la implementación de un circuito de *tuning* [5]. La función de este circuito será reajustar la tensión de alimentación a 1.4 V, para asegurar el correcto funcionamiento del filtro polifásico.

## **6.6. Conclusiones**

En este capítulo se ha realizado la implementación física del filtro polifásico. En primer lugar, se realizó el *layout* de cada una de las ramas necesarias para la implementación del mismo.

Una vez hecho esto, se ha procedido a realizar la implementación del filtro polifásico. Tras completar dicho *layout*, se realizó el procedimiento pertinente para comprobar que se cumplieran las reglas de diseño, *layout-vs-schematic* y obtener el extraído del circuito.

Finalmente, se realizaron las simulaciones de respuesta en frecuencia para comprobar que se siguen cumpliendo las especificaciones iniciales. Como añadido, se realizaron simulaciones Montecarlo, donde se confirmó la necesidad de un circuito de *tuning* que regule la tensión de alimentación.

## 7. Resultados de simulación

Este trabajo fin de máster forma parte de un proyecto de mayor alcance que busca realizar un transceptor para el estándar 802.15.4. El filtro diseñado forma parte de la cadena de recepción. Dicho receptor está formado por un cabezal de recepción y el filtro polifásico, a los que se le añadirá posteriormente un amplificador de ganancia programable. En este capítulo se analizará el funcionamiento de este receptor. Para ello se ha incluido el *layout* del filtro polifásico en un *setup* de simulación que ya se tenía en ADS [5] de forma conjunta con el *layout* del cabezal de recepción.

El diseño y la implementación en *layout* de este cabezal de recepción no entraban dentro del alcance de este proyecto. Por ello se ha incluido un cabezal de recepción desarrollado por otro compañero dentro del grupo de trabajo [7][8].

Las simulaciones llevadas a cabo se han desarrollado centrándose en los parámetros típicos de un receptor de RF como son la ganancia, la figura de ruido, el consumo o la linealidad.

### 7.1. Simulaciones *post-layout* del receptor

En este caso, se han utilizado los *setup* de simulación que ya se tenían en ADS para simular el diseño del receptor a nivel de esquemático. Como generador de señal se ha incluido un generador de tonos de una potencia igual a -85 dBm, centrada en 2.4 GHz. Esto se ha decidido así puesto que la sensibilidad de un receptor para el estándar IEEE 802.15.4 está definida a ese valor. Es decir, el valor mínimo de potencia a la entrada para que el receptor funcione correctamente es de -85 dBm. A continuación, se conecta el extraído del *layout* del cabezal de recepción que se pretende simular. En la **Figura 7-1** se puede observar el *setup* de simulación con el filtro polifásico añadido.

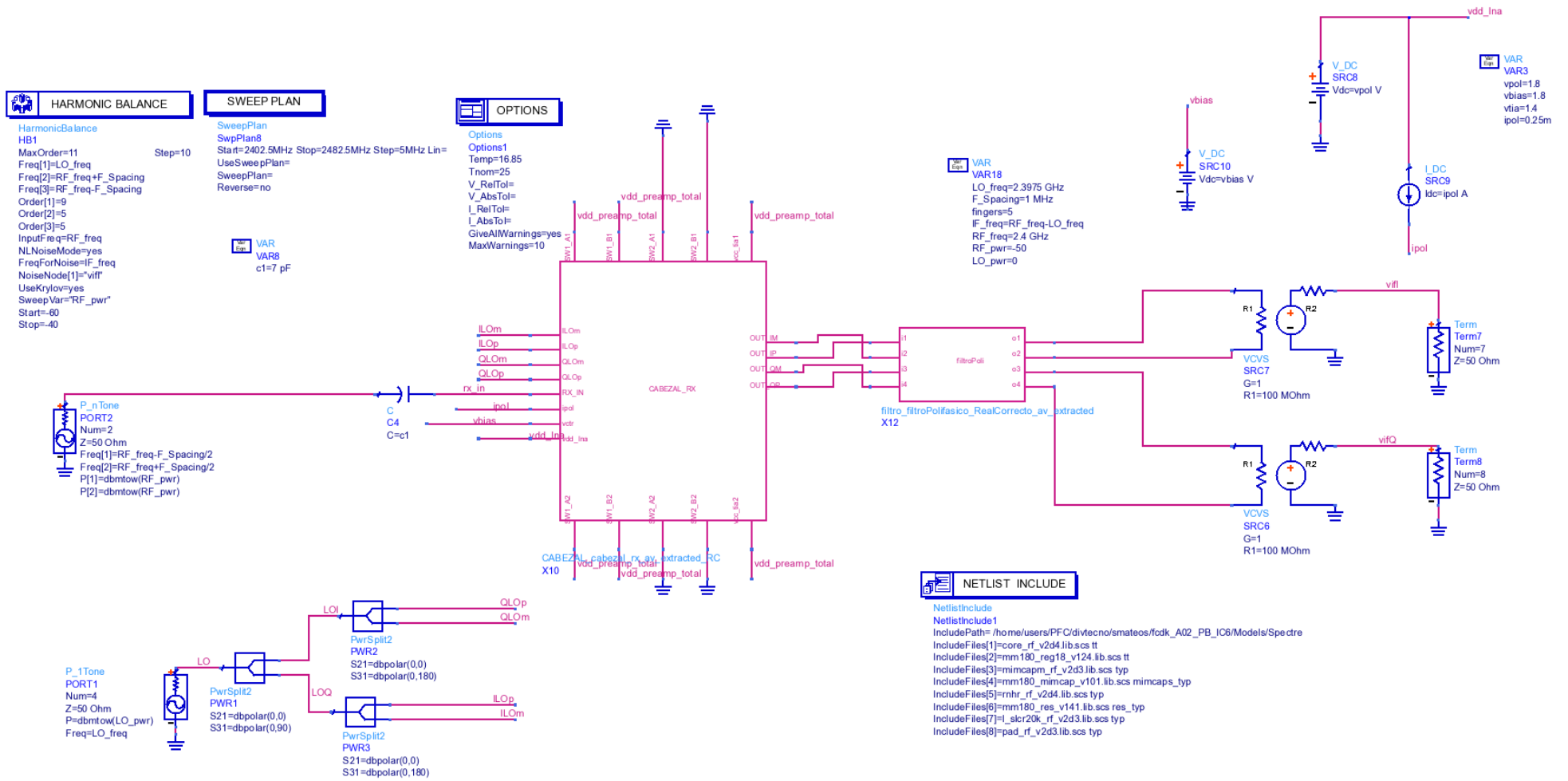
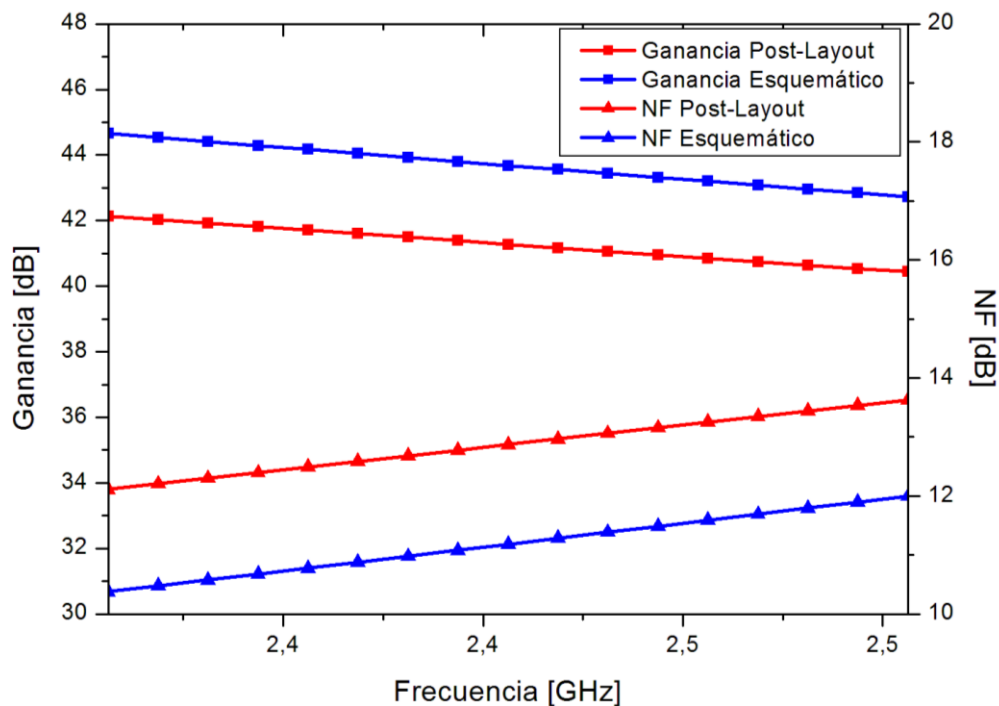


Figura 7-1. Setup de simulación del cabezal de recepción utilizando ADS Dynamic Link

### 7.1.1. Ganancia y figura de ruido

En primer lugar, se realizaron las simulaciones correspondientes para hallar la ganancia y la figura de ruido del receptor. Se puede afirmar que son dos de los parámetros más importantes a la hora de diseñar un receptor de RF para tecnologías inalámbricas. En este tipo de comunicaciones existen interferencias que dificultan la comunicación. Por ello, es importante que el circuito diseñado tenga una buena ganancia, que amplifique la señal y produzca poco ruido.

Teniendo esto en cuenta, en primer lugar, se halló tanto la ganancia como la NF para toda la banda de frecuencia del estándar 802.15.4, que va desde los 2.4 GHz hasta los 2.4835 GHz. Para ello se realizó una simulación de balance de armónicos (*Harmonic Balance*). En este caso, se realizó un barrido de la frecuencia RF de entrada para toda la banda y se tomaron los datos de simulación en el centro de cada canal. En la **Figura 7-2** se muestran los resultados obtenidos.

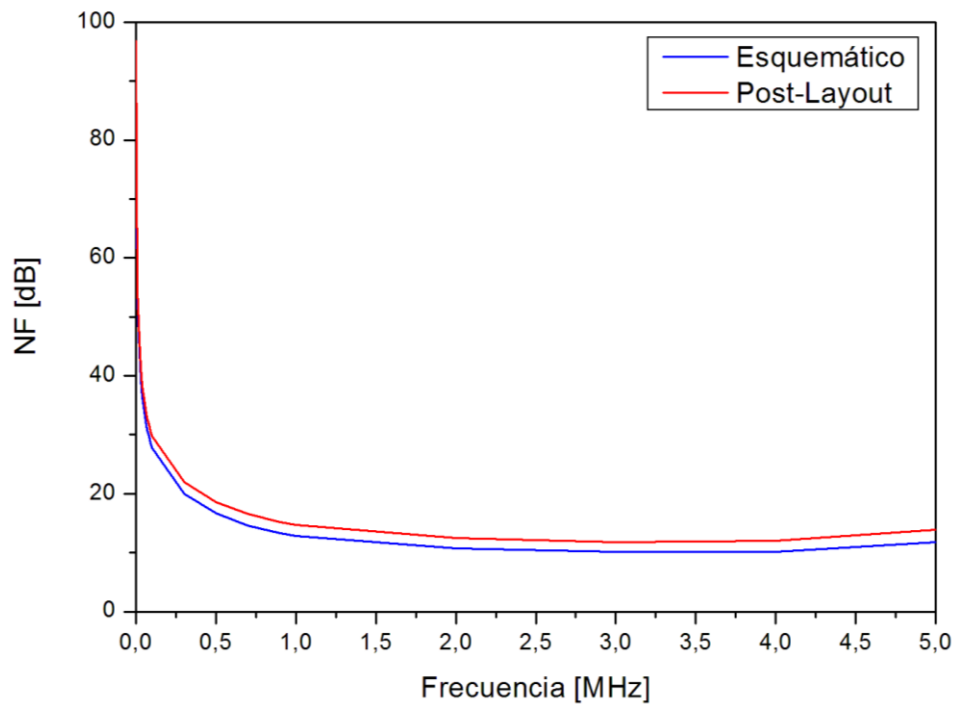


**Figura 7-2.** Ganancia y NF para toda la banda del estándar 802.15.4.

En color azul se muestran los resultados obtenidos para la simulación del esquemático, mientras que en rojo se muestran las simulaciones *post-layout* del cabezal de recepción. Como se puede observar, la ganancia ha disminuido en torno a 2.3 dB, mientras que la NF ha aumentado aproximadamente 1.8 dB. Como ya se ha comentado anteriormente, esto se debe a que en las simulaciones a nivel de esquemático no se tienen en cuenta las capacidades

y resistencias parásitas introducidas por las pistas metálicas. Por otra parte, se puede ver que tanto la ganancia como la NF varían a lo largo de toda la banda.

En cuanto al valor obtenido de la NF en un único canal, este se muestra representado en la **Figura 7-3**. Para obtener estos datos se realizó una simulación de balance de armónicos. Sin embargo, a diferencia del caso anterior, el barrido de la frecuencia RF entrante se realizó para un solo canal, concretamente para el primero.



**Figura 7-3.** NF para un canal.

Se puede observar como la NF es prácticamente constante hasta que hay un repunte debido al ruido *flicker*, tanto para el caso de la simulación del esquemático como para la simulación *post-layout*. Como ya se ha comentado anteriormente, el ruido *flicker* aparece a frecuencias bajas. Sin embargo, en este caso este ruido aparece por debajo de los 250 kHz, por lo que no es problemático. Esto se debe a que se usa un mezclador pasivo doble balanceado y el impacto del ruido *flicker* se minimiza bastante. Además, se puede observar que en la simulación *post-layout* se obtiene una NF de aproximadamente 2 dB mayor que en el caso de la simulación del esquemático.

En el caso de este *front-end*, se presentan dos circuitos con control de ganancia, el LNA y un amplificador de transimpedancia (TIA) para cada rama. Concretamente, ambos circuitos pueden variar entre una ganancia máxima y una ganancia mínima, lo que resulta en que el receptor posee cuatro modos de ganancia. El LNA varía su ganancia gracias a la tensión de control  $V_{\text{ctr}}$ . En cuanto al TIA, la función de control de ganancia de este circuito



se implementa mediante el uso de *switches*, consiguiendo otros dos modos de ganancia: una máxima y una mínima. En la **Tabla 7-1** se muestra la ganancia total y la NF total del receptor en función de la aportación del LNA y el TIA, en la simulación del esquemático. Como se puede observar, la ganancia total varía entre 5.7 y 44.7 dB, mientras que la NF lo hace entre 10.3 y 43 dB.

**Tabla 7-1.** Ganancia y NF del receptor para distintas configuraciones. Simulación del esquemático

Ganancia del LNA [dB]	Ganancia del TIA [dB]	Ganancia del Receptor [dB]	NF del Receptor [dB]
4	1	5.7	43
18	1	21	28
4	24	29	25
18	24	44.7	10.3

De la misma manera, en la **Tabla 7-2** se muestra la ganancia total y la NF total del receptor, en función de la aportación del LNA y el TIA, en la simulación *post-layout*. Como se puede observar, la ganancia total varía entre 3.8 y 42.7 dB, mientras que la NF lo hace entre 12 y 45 dB.

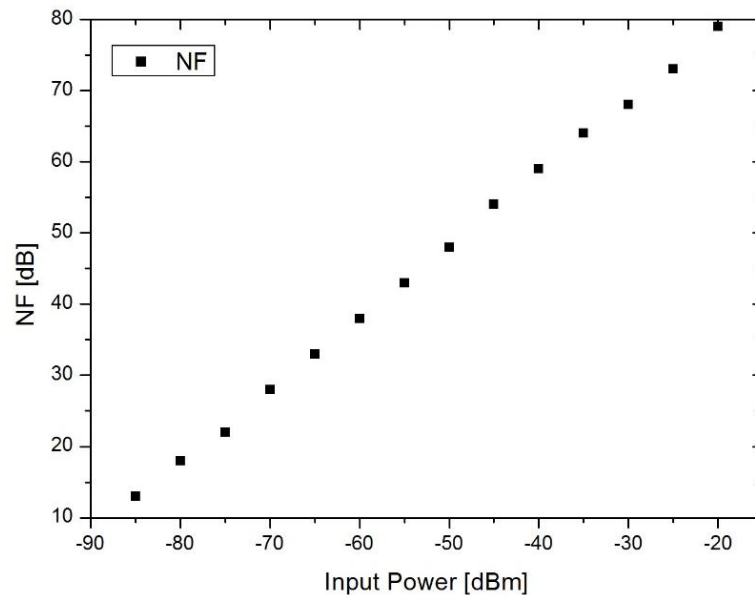
**Tabla 7-2.** Ganancia y NF del receptor para distintas configuraciones. Simulación *post-layout*

Ganancia del LNA [dB]	Ganancia del TIA [dB]	Ganancia del Receptor [dB]	NF del Receptor [dB]
2.6	1	3.8	45
17.2	1	19	30
2.6	24	27.1	26.7
17.2	24	42.4	12

Comparando los resultados obtenidos en simulación *post-layout* (**Tabla 7-2**) frente a los obtenidos en simulación de esquemático (**Tabla 7-1**), se observa que en todos los casos la ganancia baja aproximadamente 2 dB y la NF aumenta aproximadamente 1.8 dB.

Se puede apreciar que la NF aumenta considerablemente cuando se implementan configuraciones de baja ganancia. Sin embargo, estos valores elevados se encuentran dentro de los aceptables por el estándar 802.15.4 ya que a medida que aumenta la potencia de entrada, también lo hace la NF máxima admisible [26]. Esto se puede apreciar en la **Figura 7-4**, donde se muestra la NF máxima para que un receptor basado en el estándar 802.15.4

funcione correctamente, frente a la potencia de entrada. Según el estándar, la potencia de la señal de entrada puede variar entre un valor mínimo de -85 dBm (este valor marca la sensibilidad del receptor) y un valor máximo de -20 dBm. Por tanto, la NF máxima admisible variará entre 15.5 y 78 dB. Es decir, cuando la potencia de entrada es baja, es necesario utilizar la máxima ganancia posible y, por tanto, el ruido debe ser el menor posible. Por otra parte, a medida que se incrementa la potencia de entrada, no es necesario utilizar el modo de ganancia máxima y las condiciones de la NF no son tan restrictivas.



**Figura 7-4.** NF máxima frente a la potencia de entrada de un receptor para el estándar 802.15.4.

### 7.1.2. Respuesta en frecuencia

Con el análisis de frecuencia del receptor se puede comprobar si el receptor está trabajando en la frecuencia deseada. Además, se puede calcular el rechazo imagen que consiste en calcular la diferencia de ganancia entre el centro del canal (frecuencia IF) y la frecuencia donde se encuentra la señal imagen. En la **Figura 7-5** se ven claramente las dos frecuencias en las que se calcula la ganancia ( $\omega_{FI}$  y  $-\omega_{FI}$ , que están a una distancia de  $2\omega_{FI}$  la una de la otra).

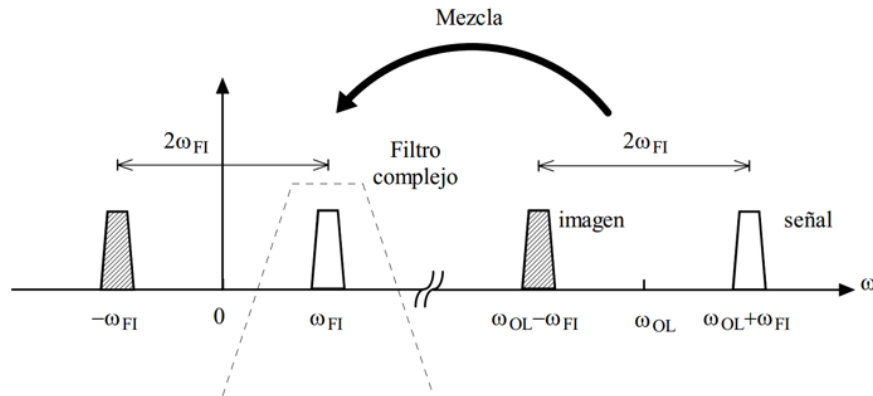


Figura 7-5. Rechazo imagen.

En la **Figura 7-6** se muestra la respuesta en frecuencia del receptor, tanto para la simulación del esquemático como para la simulación *post-layout*.

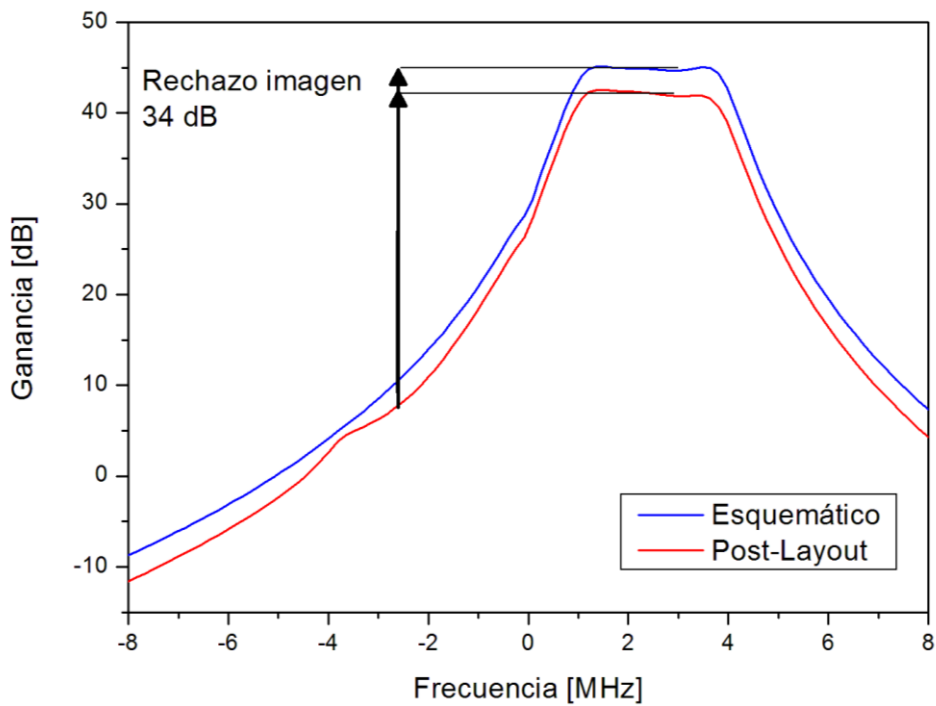


Figura 7-6. Respuesta en frecuencia del receptor.

Como era de esperar, la ganancia en la simulación del esquemático es 2.3 dB superior a la simulación *post-layout*. Sin embargo, la señal está centrada en 2.5 MHz y tiene un ancho de banda de 3 MHz, cumpliendo así las especificaciones del estándar. Además, el rechazo imagen se mantiene a 34 dBc en ambos casos. Este resultado era esperable, ya que como se había visto, el rechazo del circuito sigue superando los criterios del estándar incluso tras las simulaciones *post-layout*.

### 7.1.3. Adaptación de entrada

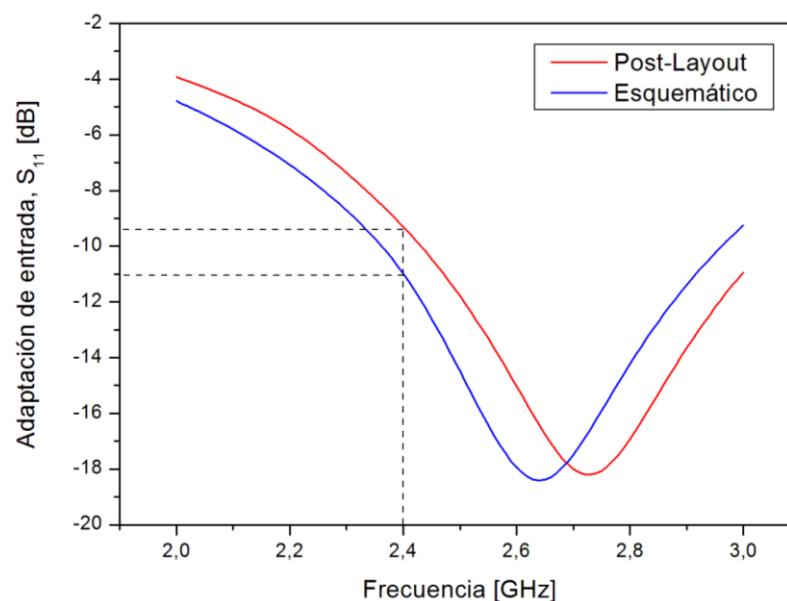
Una característica importante en un receptor de RF es la adaptación de entrada. Esta es llevada a cabo por el LNA, puesto que es el primer elemento del cabezal de recepción. Es común que el LNA esté conectado directamente a la antena, aunque a veces se implementa un filtro de selección de canal antes. De cualquier forma, el LNA debe adaptar la señal entrante para que el cabezal de recepción pueda funcionar correctamente.

Para hallar la adaptación de entrada, se ha calculado el parámetro  $S_{11}$  que representa la adaptación de entrada de un circuito de RF. Según la teoría, el parámetro  $S_{11}$  indica el grado de adaptación de la impedancia de entrada [2]. Si la entrada está adaptada significa que no debería haber potencia reflejada, y, por tanto,  $S_{11} = 0+j0$ . Este parámetro se puede definir con la ecuación (7.1).

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (7.1)$$

En (7.1) el parámetro  $b_1$  corresponde a la potencia de la onda reflejada y  $a_1$  corresponde a la potencia de la onda incidente. Por tanto, se trata de la relación entre la potencia reflejada en el puerto 1 y la potencia incidente en dicho puerto.

En este caso, se ha obtenido una adaptación de entrada calculada a 2.4 GHz de -11 dB para el caso de la simulación del esquemático y -9.3 dB para la simulación *post-layout*, tal y como se muestra en la **Figura 7-7**.



**Figura 7-7.** Adaptación de entrada.

Como se puede observar, la adaptación de entrada ha empeorado tras las simulaciones *post-layout*. Esto es debido a que en el cabezal de recepción se ha incluido un *pad* de RF para ver su influencia en el mismo. En el capítulo 4 se comentó que un *pad* de la tecnología UMC 0.18  $\mu\text{m}$  está modelado como un condensador y una resistencia. Este condensador es el que provoca el desplazamiento en frecuencia que se aprecia en la **Figura 7-7**, provocando a su vez una peor adaptación de entrada. Para corregir este problema se debería modificar la red de adaptación de entrada. Sin embargo, dado que el resto de *pads* se introducirán cuando se tenga el transceptor completo, se ha decidido que se modificará la red de adaptación de entrada una vez se hayan incluido el resto de *pads* y se sepa cómo afectan al circuito.

#### 7.1.4. Linealidad

Por último, se estudió la linealidad del receptor, que es un parámetro clave en circuitos de RF. La linealidad de un receptor se basa, por definición, en que a la salida haya la menor distorsión posible. Un dispositivo se considera lineal si la señal a la salida solo difiere de la entrada en un factor de ganancia y en un retardo de tiempo.

Para hallar la linealidad del receptor se halló el IIP<sub>3</sub>. Este es el punto de intercepción de 3° orden y se trata de un punto teórico. Se trata de una extrapolación del punto donde se cruzan las curvas que representan la señal fundamental y la señal producto de la distorsión de tercer orden.

Para hallar el IIP<sub>3</sub> se aplican dos tonos a la entrada, se varía la potencia de entrada y se mide la potencia de la señal de salida y la de los productos de intermodulación. De esta forma, se pueden generar las curvas de la potencia de salida tanto de la señal fundamental como de la señal producto de la distorsión de tercer orden, lo cual permite hallar el punto de intercepción. En este caso se ha obtenido, en la simulación del esquemático, un IIP<sub>3</sub> de aproximadamente 0 dBm cuando se aplican a la entrada dos tonos espaciados 500 kHz con respecto al centro del canal, tal y como se muestra en la **Figura 7-8**. En cuanto a la simulación *post-layout*, en la **Figura 7-9** se puede observar que se ha obtenido un IIP<sub>3</sub> de 3 dBm aproximadamente. Esta mejora en la linealidad se debe a que, al tener menor ganancia, la señal no se satura tanto.

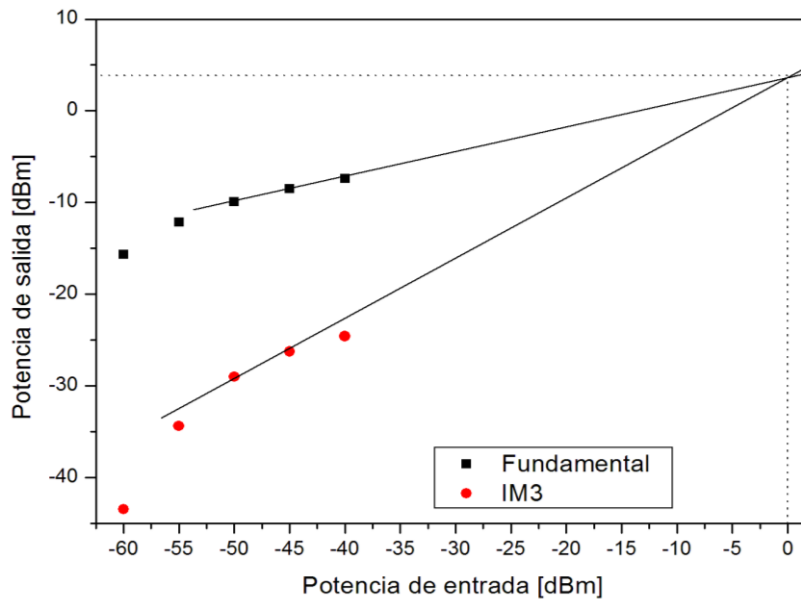


Figura 7-8. Punto de intercepción IIP<sub>3</sub> del receptor para simulación de esquemático.

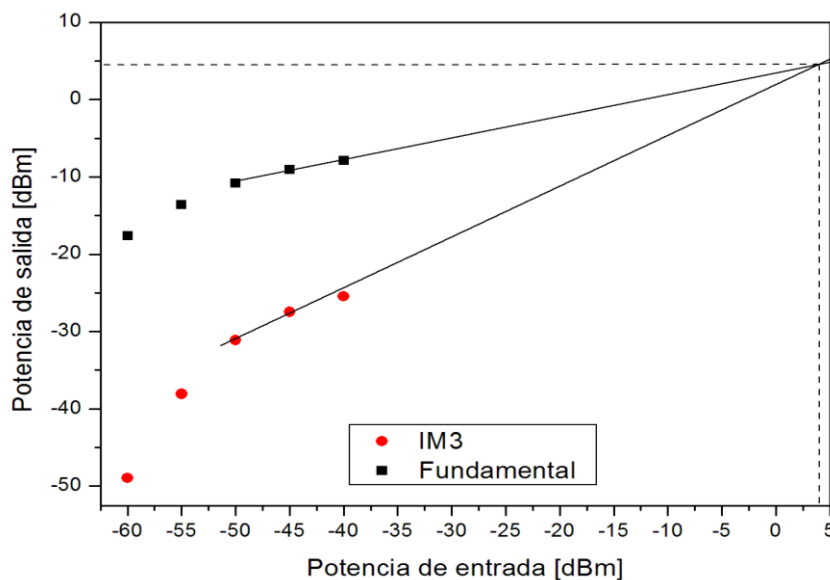


Figura 7-9. Punto de intercepción IIP<sub>3</sub> del receptor para simulación *post-layout*.

En aplicaciones de RF interesa que el valor del IIP<sub>3</sub> sea lo más alto posible, ya que eso significa que el circuito deja de ser lineal para un valor de potencia de entrada elevado. Por tanto, el circuito será lineal para un mayor rango de potencia de entrada.

### 7.1.5. Consumo de potencia

Por último, se realizaron simulaciones del consumo del receptor. Para ello, se calculó el consumo de cada uno de los elementos por separado y se sumaron para obtener el consumo total. Para hallar este consumo se aplica la fórmula que dice que la potencia es igual a la tensión por la intensidad de corriente (7.2). Sabiendo la tensión de alimentación, con medir

la corriente que entra al circuito ya es posible calcular el consumo de potencia. Cabe destacar que el mezclador al ser pasivo no consume potencia.

$$P = V \cdot I \quad (7.2)$$

En la tabla **Tabla 7-3** se puede comprobar el consumo de cada uno de los elementos del receptor.

**Tabla 7-3.** Consumo de potencia

<b>Circuito</b>	<b>Tensión de alimentación (V)</b>	<b>Consumo de Corriente (A)</b>	<b>Consumo de potencia (W)</b>
<b>LNA</b>	1.8	1.7 m	3.06 m
<b>TIA</b>	1.4	60 $\mu$	0.084 m
<b>FILTRO POLIFÁSICO</b>	1.4	0.85 m	1.19 m
<b>CIRCUITO COMPLETO</b>	-	-	4.19 m

## 7.2. Conclusiones

En este capítulo, se han comentado las simulaciones *post-layout* realizadas en el receptor completo en el que se ha integrado el filtro polifásico.

Tal y como se puede comprobar, se ha obtenido respuestas similares a las obtenidas en simulación, pero con una pérdida de ganancia de 2.3 dB y un aumento de la figura de ruido de 1.8 dB. Asimismo, se ha mejorado la linealidad del circuito, en parte, debido a esta pérdida de ganancia. En el caso del rechazo en el canal adyacente, se siguen cumpliendo los criterios establecidos por el estándar, obteniendo 34 dBc. Finalmente, en términos de consumo no se produjeron variaciones.

En el siguiente capítulo, se valorarán los resultados obtenidos y se compararán con soluciones simulares de receptores para el mismo estándar.





# Capítulo 8

---

## 8. Conclusiones

En este capítulo se comentan las conclusiones que se pueden extraer de este trabajo fin de máster. Además, se presenta un resumen de los resultados obtenidos con el fin de compararlos con los obtenidos en otras soluciones de este tipo que se pueden encontrar en la literatura.

Una vez se han realizado tanto las simulaciones a nivel de esquemático como las simulaciones *post-layout*, es el momento de analizar los resultados obtenidos y extraer las conclusiones pertinentes.

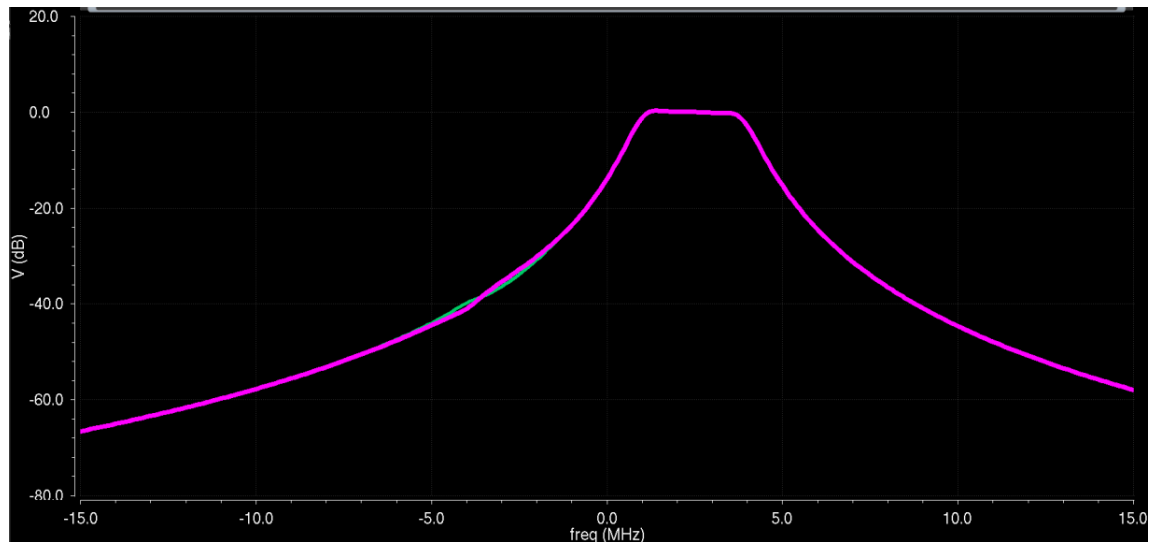
El objetivo de este trabajo fin de máster, tal y como ya se ha comentado, es el de obtener el *layout* de un filtro polifásico para el estándar IEEE 802.15.4 usando la tecnología CMOS 0.18  $\mu\text{m}$ . Se desea comprobar que el diseño de *layout* mantiene el correcto funcionamiento que se tenía en el diseño a nivel de esquemático, cumpliendo las especificaciones del estándar.

En cuanto al tipo de filtro sobre el que se realizó el *layout*, se trata de un filtro Butterworth por su respuesta plana en la banda de paso. No obstante, este tipo de filtros requieren de un orden mayor para satisfacer los criterios de rechazo si se compara con otro tipo de filtros. Al ser estos criterios muy bajos en este estándar, no supone ningún problema.

A la hora de realizar el diseño de *layout*, se han tenido cuenta una serie de reglas de diseño que define la tecnología UMC 0.18  $\mu\text{m}$  CMOS. Además, como ya se ha comentado, en las simulaciones *post-layout* se tienen en cuenta las resistencias y capacidades parásitas debido a las pistas metálicas utilizadas para la conexión de los distintos componentes que forman los circuitos del cabezal de recepción. Es por esto por lo que los resultados de simulación de esquemático varían con respecto a los obtenidos en las simulaciones *post-layout*.

Generalmente, es bastante complicado obtener las mismas prestaciones que las obtenidas en la simulación de esquemático debido a las pérdidas ocasionadas por las resistencias y capacidades parásitas. Por tanto, el objetivo es obtener unos resultados que satisfagan las especificaciones del estándar y se acerquen lo máximo posible a los resultados obtenidos en las simulaciones a nivel de esquemático. Finalmente, cabe destacar que en el diseño de este *layout* se ha primado la minimización de área en el eje vertical, debido a que en la componente horizontal el área está fijada por los condensadores del filtro.

En este sentido, para desarrollar el *layout* del filtro complejo se comenzó realizando la implementación de un inversor, ya que a partir de este se implementaba el resto de diseños. Una vez hecho, se fue avanzando progresivamente, realizando el *layout* de cada uno de los transconductores en los que basaba el filtro. Finalmente, se unió cada uno de estos componentes para formar el circuito completo. En cuanto a los resultados obtenidos, en la **Figura 8-1** se puede ver la respuesta en frecuencia *post-layout*.



**Figura 8-1.** Respuesta en frecuencia *post-layout* del filtro polifásico

En dicha figura se puede comprobar como la respuesta en frecuencia se corresponde con la del filtro desarrollado en esquemático, obteniendo un filtro centrado en 2.5 MHz y con un rechazo de 34 dBc, cumpliendo los criterios del estándar.

Una vez desarrollada la implementación física del filtro, se introdujo en un receptor completo. Tras esta unión se realizaron las simulaciones *post-layout* del receptor. En la **Tabla 8-1** se muestran tanto los resultados obtenidos en simulaciones de esquemático como las obtenidas en las simulaciones *post-layout* frente a las especificaciones del estándar IEEE 802.15.4.

**Tabla 8-1.** Resultados de simulaciones del cabezal de recepción

Parámetros	Especificaciones	Resultados del esquemático	Resultados <i>post-layout</i>
Consumo de potencia [mW]	El menor posible	4.334	4.334
Ganancia del receptor [dB]	>30 (FE <sup>1</sup> )	44.7 (FE)	42.4
Variación de ganancia [dB]	65 (FE <sup>1</sup> + BB <sup>2</sup> )	39 (FE)	38.6
NF [dB]	<15.5	10.3	12
Rechazo imagen [dBc]	>20	34	34
IIP <sub>3</sub> [dBm]	>-32 para máxima ganancia	0 para máxima ganancia	3 para máxima ganancia
Sensibilidad [dB]	-85	-85	-85

FE<sup>1</sup>: *Front-End* o Cabezal de RF

BB<sup>2</sup>: Banda Base

Si se comparan los resultados obtenidos en simulaciones a nivel de esquemático con los obtenidos en simulaciones *post-layout*, se puede apreciar un rendimiento ligeramente peor, si bien se siguen cumpliendo las especificaciones del estándar. Asimismo, los resultados obtenidos en simulación del esquemático son ideales ya que no se contemplan las pérdidas ocasionadas por las resistencias y capacidades parásitas inherentes a las pistas de conexión. Por tanto, se puede concluir que los resultados obtenidos en las simulaciones *post-layout*, los cuales se acercan más a los resultados que se obtendrán en las medidas del circuito una vez se fabrique, presentan un rendimiento adecuado para este tipo de circuito.

Por otro lado, para obtener una visión más global de los resultados obtenidos y del rendimiento del receptor diseñado, se ha realizado una comparación con otras soluciones propuestas para circuitos de este tipo, la cual se muestra en la **Tabla 8-2**. Los otros modelos con los que se ha comparado el cabezal diseñado son soluciones propuestas anteriormente para el mismo estándar y con las mismas tecnologías. En [27], el modelo solo incluye el LNA y el mezclador en cuadratura. En [1] y [28], además del cabezal de recepción, se ha incluido un amplificador de ganancia programable (PGA: *Programmable Gain Amplifier*).

Estas diferencias se deben tener en cuenta a la hora de comparar los resultados obtenidos en cada caso.

**Tabla 8-2.** Comparación del cabezal de recepción diseñado con otros trabajos de la bibliografía

Referencia	[1] (LNA+MIX+ TIA+FI+PGA)	[27] (LNA+MIX+ TIA)	[28] (LNA+MIX +FIL+PGA)	Este trabajo: Esquemático (LNA+MIX+ TIA+FIL)	Este trabajo: <i>Post-Layout</i> (LNA+MIX+ TIA+FIL)
Tecnología CMOS [ $\mu\text{m}$ ]	0.18	0.18	0.18	0.18	0.18
Ganancia [dB]	86	30	-	44.7	42.4
NF [dB]	8.5	7.3	<10	10.3	12
IIP <sub>3</sub> [dB]	-8	-8	>-15	0	3
Consumo de potencia [mW]	12.63	6.3	10.8	4.334	4.334

Como se puede observar, todos los modelos que se muestran han sido diseñados con tecnología CMOS de 0.18  $\mu\text{m}$ . El cabezal de recepción diseñado es el que tiene mejor linealidad entre los modelos que se comparan (3 dBm frente -8 dBm en el mejor de los casos).

En cuanto a la ganancia, nuestro cabezal se encuentra en un punto intermedio con respecto a las otras soluciones. Sin embargo, esto tiene sentido ya que en [27] simplemente se implementan un LNA y un mezclador en cuadratura mientras que en [1] y [28] existe un PGA que hace que sus ganancias sean considerablemente mayores.

Respecto a la NF, nuestro cabezal de recepción presenta un valor superior al resto de modelos presentados, si bien se mantiene dentro de las especificaciones del estándar.

En cuanto al consumo de potencia, el cabezal diseñado presenta un consumo considerablemente menor que el resto de modelos. Si se compara con los circuitos presentados en [1] y [28], esto es lógico puesto que nuestro cabezal no incluye el PGA, mientras que en el resto receptores presentes sí está incluido. Sin embargo, dentro del grupo de trabajo ya se ha diseñado un PGA que consume 2.5 mW [10], de forma que el consumo

total sería de 6.834 mW, es decir, menor que el de estos receptores. Por tanto, se puede concluir que los resultados obtenidos cumplen las especificaciones del estándar siendo además unos resultados altamente competitivos frente a los encontrados en la literatura.

Por otra parte, relacionado con este trabajo fin de máster se ha publicado un artículo científico (ver Anexo 1) en el cual se describe la estructura del filtro polifásico, así como el cabezal de recepción que se ha añadido para realizar las distintas simulaciones. Este artículo fue presentado en la XXX Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: *Design of Circuits and Integrated Systems*). Además, tal y como se ha mencionado anteriormente, este trabajo fin de máster forma parte de un proyecto de investigación que tiene como objetivo desarrollar el primer dispositivo que permita el despliegue de redes de sensores inalámbricos en entornos de alta radiación ambiental [11]. En el grupo de trabajo ya se han empezado a realizar pruebas de análisis del efecto de la radiación en circuitos de radiofrecuencia. Concretamente, se han realizado unas pruebas preliminares en el LNA que se incluye en el receptor comentado. Con los resultados de este análisis se ha escrito un artículo científico que ha sido aceptado en la XXXI Conferencia en Diseño de Circuitos y Sistemas Integrados (DCIS: *Design of Circuits and Integrated Systems*). En el Anexo 2 se muestra el artículo que se menciona.

Por último, como líneas futuras de trabajo a raíz de este trabajo fin de máster, el siguiente paso correspondería diseñar los circuitos que faltan para componer un transceptor de radiofrecuencia como, por ejemplo, el circuito de *tuning* comentado, cuya función será la de ajustar los niveles de tensión de alimentación tanto del filtro polifásico como del TIA. Una vez se tengan todos los diseños a nivel de esquemático, se debe realizar el diseño a nivel de *layout* de estos circuitos para poder integrarlos con el cabezal de recepción. Posteriormente, se debería realizar la integración del receptor desarrollado con un transmisor diseñado en el grupo de trabajo [9]. A su vez, se debería diseñar el encapsulado y mandar a fabricar el transceptor completo para poder realizar las medidas oportunas para comprobar las prestaciones reales del circuito. Por último, se continuará analizando cada uno de los componentes que forman el transceptor para ver su comportamiento bajo condiciones de alta radiación.



## 9. Bibliografía

---

- [1] Liu Weiyang, Chen Jingjing, Wang Haiyong, and Wu Nanjian, “A low power 2.4 GHz transceiver for ZigBee applications,” *Journal of Semiconductors*, vol.34, no.8, Aug. 2013.
- [2] Javier del Pino, “Apuntes de la Asignatura: Electrónica de Comunicación”, ULPGC, 2014.
- [3] R. L. Geiger and E. Sánchez-Sinencio. Active Filter Design Using Operational Transconductance Amplifier: A Tutorial. *IEE Circuits and Devices Magazine*, Vol. 1, pp.20-32, March 1985.
- [4] Dolores Tamara Delgado Alemán. Diseño de un filtro polifásico activo en tecnología SiGe 0.35  $\mu\text{m}$  para un receptor basado en el estándar IEEE 802.11a. Universidad de las Palmas de Gran Canaria, Noviembre 2006.
- [5] Daniel Mayor Duarte, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Diseño de un filtro polifásico para un receptor IEEE 802.15.4 en Tecnología CMOS 0.18  $\mu\text{m}$ ”, Junio 2016.
- [6] S. Mateos-Angulo, D. Mayor-Duarte, S.L. Khemchandani and J. del Pino, “A Low-Power Fully Integrated CMOS RF Receiver for 2.4-GHz-band IEEE 802.15.4 Standard”, XXX Conference on Design of Circuits and Integrated Systems, 2016
- [7] Sergio Mateos Angulo, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Diseño de un cabezal de recepción para el estándar IEEE 802.15.4 en tecnología CMOS 0.18  $\mu\text{m}$ ”, ULPGC, Julio 2015.

- [8] Sergio Mateos Angulo, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Implementación física de un cabezal de recepción para el estándar IEEE 802.15.4 en tecnología CMOS 0.18  $\mu\text{m}$ ”, ULPGC, Junio 2016.
- [9] Mario San Miguel Montesdeoca, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Diseño de un transmisor para el estándar IEEE 802.15.4 en tecnología CMOS 0.18  $\mu\text{m}$ ”, ULPGC, Febrero 2016.
- [10] Adán Cruz Ramón, Francisco Javier del Pino Suárez, Sunil Lalchand Khemchandani, “Diseño de un amplificador de ganancia programable para un receptor IEEE 802.15.4 en tecnología CMOS 0.18  $\mu\text{m}$ ”, Julio 2016.
- [11] Javier del Pino, Sunil Lalchand Khemchandani, “Diseño de circuitos de comunicaciones para alta radiación ambiental (ComRad)”, Instituto Universitario de Microelectrónica Aplicada de la Universidad de Las Palmas de Gran Canaria, Grupo de Ingeniería Electrónica de la Universidad de Sevilla, Centro de Estudios e Investigaciones Técnicas de Gipuzkoa, Proyectos, Memoria Científico-Técnica de Proyectos Coordinados, Ministerio de Economía y competitividad, 2015.
- [12] S. Mateos-Angulo, D. Mayor-Duarte, M. San Miguel-Montesdeoca, S.L Khemchandani and J. del Pino, “Single-Event Effects Sensitivity Analysis of a 0.18  $\mu\text{m}$  CMOS Low Noise Amplifier”, XXXI Conference on Design of Circuits and Integrated Systems, 2016.
- [13] Agilent Technologies, “RFIC Dynamic Link User’s Guide”, Marzo 2001.
- [14] T.Kugelstadt. Active Filter Design Techniques. Op amps for Everyone. <https://focus.ti.com/lit/ml/sloa088/sloa088.pdf>. Texas Instruments SLOA006A. Última consulta: Mayo 2016.
- [15] R.Schaurmann and M-E.V Vlakenburg. Design of Analog Filters. Oxford University, 2001.



- [16] Brian Guthrie, John Hughes, Tony Sayers, and Adrian Spencer, "A CMOS Gyrator Low-IF Filter for a Dual-Mode Bluetooth/ZigBee Transceiver", IEEE Journal of Solid State Circuits, Vol. 40, N° 9, September 2005.
- [17] Trinidad Sanchez-Rodriguez, Ramon G. Carvajal, Sunil Lalchand Khemchandani, Javier Del Pino, Jaime Ramirez-Angulo, Antonio Lopez-Martin, "Low-Power Complex Filter For WLAN Applications", XXX Conference on Design of Circuits and Integrated Systems, 2007.
- [18] Ilku Nam, Kyudon Choi, Joonhee Lee, Hyouk-Kyu Cha, Bo-Ik Seo, Kuduck Kwon Kwyro Lee, "A 2.4-GHz Low Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18- $\mu\text{m}$  CMOS for IEEE 802.15.4 WPAN Applications", IEEE Transaction on Microwave Theory and Techniques, Vol. 55, No. 4, April 2007.
- [19] Ramón González- Carvajal, Carlos Muñiz-Montero and Alejandro Díaz- Sánchez. A Nauta's transconductor with continous-time offset compensation. Conference: XIV IBERCHIP Worshop. Puebla, Mexico, Jan 2008.
- [20] Sergio Rosino Rincón, Francisco Javier del Pino, Sunil Lalchand Khemchandani, "Diseño de un LNA para UWB tipo cascode doblado en tecnología CMOS 0.18  $\mu\text{m}$ ", ULPGC, Julio 2011.
- [21] UMC United Microelectronics Corporation, "UMC 0.18 $\mu\text{m}$  1P6M SALICIDE Mixed-Mode/RF CMOS MODEL", Rev. 2.2, Marzo 2002.
- [22] Javier del Pino, "Modelado y aplicaciones de inductores integrados en tecnologías de silicio" Tesis Doctoral, Departamento de Ingeniería Electrónica y Automática, Universidad de Las Palmas de Gran Canaria, 2002.
- [23] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", Mc Graw Hill International Edition, Jun. 2001.

- [24] UMC United Microelectronics Corporation, “UMC 065 Foundry Design Kit (FDK) for OpenAccess User Guide”, Rev. 1.2, Marzo 2012.
- [25] Carleton University: Department of Electronics. Schematic and Layout of a NAND gate. <http://www.doe.carleton.ca/~shams/ELEC4708/Lab1LayoutTut2014.pdf>.  
Última consulta: Mayo 2016.
- [26] Aaron V. Do, Chirn Chye Boon, Manh Anh Do, Kiata Seng Yeo, and Alper Cabuk, “An Energy-Aware CMOS Receiver Front end for Low-Power 2.4-GHz Applications,” *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 57, no. 10, October 2010.
- [27] Trung-Kien Nguyen, Vladimir Krizhanovskii, Jeongseon Lee, Seok-Kyun Han, San-Gug Lee, Nae-Soo Kim, and Cheol-Sig Pyo, “A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz Band IEEE 802.15.4 Standard in 0.18- $\mu\text{m}$  CMOS Technology,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 12, December 2006.
- [28] Ajay Balankutty, Shih-An Yu, Yiping Feng, and Peter R Kinget, “0.6-V Zero-IF/Low-IF Receiver with Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications,” *IEEE Journal of Solid-State*, vol. 45, no. 3, Mar 2010.

# **Anexo 1**

---

# A Low-Power Fully Integrated CMOS RF Receiver for 2.4-GHz-band IEEE 802.15.4 Standard

S. Mateos-Angulo, D. Mayor-Duarte, S.L. Khemchandani and J. del Pino  
Institute for Applied Microelectronics (IUMA), Departamento de Ingeniería Electrónica y Automática  
Universidad de Las Palmas de Gran Canaria  
Las Palmas de Gran Canaria, Spain

**Abstract**—This paper presents a low power 2.4 GHz receiver front-end for 2.4-GHz-band IEEE 802.15.4 standard in 0.18  $\mu\text{m}$  CMOS technology. This receiver adopts a low-IF architecture and comprises a variable gain single-ended low-noise amplifier (LNA), a quadrature passive mixer, a variable gain transimpedance amplifier (TIA) and a complex filter for image rejection. The receiver front-end achieves 42 dB voltage conversion gain, 10.3 dB noise figure (NF), 28 dBc image rejection and -5 dBm input third-order intercept point (IIP3). It only consumes 5.5 mW.

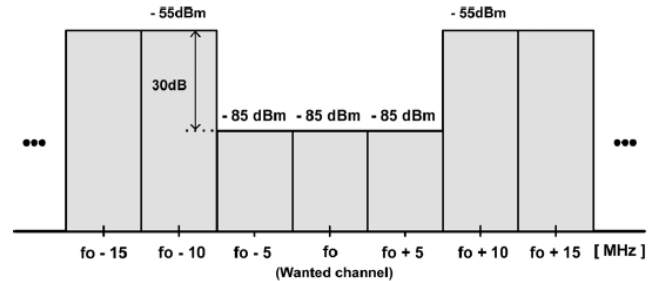
**Index terms:** RF front end, CMOS RFIC, IEEE 802.15.4 receiver, low-noise amplifier (LNA), passive quadrature mixer, complex filter.

## INTRODUCTION

The last decade has seen the rise of CMOS as the choice technology in consumer-based wireless applications. Full system integration continues to be a topic of interest in this research field in order to minimize both the cost and the form-factor of wireless transceivers. In the interests of longer battery life, ultra-low power design has recently become a hot topic for applications such as wireless personal area networks (WPAN), and wireless sensor nodes. The IEEE 802.15.4 standard has been specifically designed to cater to this demand. This standard operates in the 868 MHz/915 MHz/2.4 GHz Industrial, Scientific and Medical (ISM) bands with a data rate varying from 20 to 250 kb/s depending on the operating frequency band. This paper describes the design and implementation of a low-power fully integrated CMOS RF receiver for 2.4-GHz-band IEEE 802.15.4 standard. The receiver architecture is discussed in Section II. The RF receiver circuit designs are explained in Section III. Section IV summarizes the experimental results of the implemented receiver and, finally, some conclusions are given in Section V.

## RECEIVER ARCHITECTURE

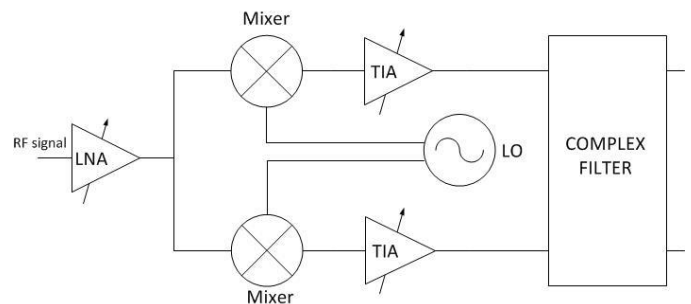
Direct conversion architectures (Zero-IF and Low-IF) are known for their suitability for making radios in a single chip. Zero-IF receivers directly down-convert the RF input signal to baseband thus needing only a few components. However, some drawbacks appear: dc offset,  $1/f$  noise, I/Q mismatch, even order distortion and local oscillator (LO) leakage. Alternatively, the low-IF architecture does not exhibit either a severe dc offset or  $1/f$  noise but still possesses the drawback of a restricted image rejection which is carried out by a complex filter. The order of this filter depends on the blocking profile imposed to the receiver.



Blocking profile in the 2.4-GHz band for ZigBee radio.

0 shows the blocking profile in the 2.4-GHz band for the IEEE 802.15.4 standard. In this case, the interferers surrounding the desired signal are relatively weak compared with the environment of other radio technologies, (WLAN, GSM, WCDMA, etc.) and the specifications of the image rejection filter are very loose. As a consequence, a number of IEEE 802.15.4 receivers in the literature use a low-IF receiver architecture 0-0.

The proposed receiver architecture is shown in 0. The RF input signal is amplified by a LNA and down-converted by a current-mode I/Q mixer. Then, the output current signal is converted to voltage by a transimpedance amplifier (TIA) and filtered by a complex filter to improve the image rejection performance and sensitivity.

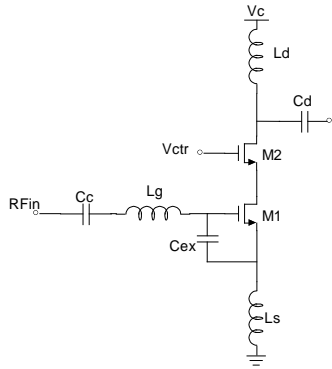


System architecture of the proposed receiver.

*Low Noise Amplifier*

The main goals of the LNA are low noise figure (NF), high gain to sufficiently reduce the NF contribution of the subsequent stages, and high linearity to accommodate high input signal and strong interferences. In addition, the LNA should have a 50-Ω input impedance to match with the output impedance of the off-chip components such as RF bandpass filter or T/R switch.

0 shows the schematic of the LNA. A single-ended topology has been chosen because it dissipates lower dc current than a differential one and the required input second-order intercept point (IIP2) performance of the IEEE 802.15.4 standard is not as high compared with other wireless communications standards 0.



Schematic of the Low-Noise Amplifier.

As shown in 0, an inductive degenerated cascode LNA topology is used. This topology is known to provide high gain, low noise and high input/output isolation. In order to achieve simultaneously low noise and input matching, the inductive degeneration technique is used. The addition of  $L_s$  generates a real part at the input impedance which reduces the discrepancy between the optimum noise impedance and the LNA input impedance. This is due to the fact that the optimum noise impedance has a real part while without degeneration there is no real part at the input impedance. However, under low power consumption the value needed of this inductance to obtain both noise and input matching is very large. This results in a minimum achievable noise figure of the LNA significantly higher than its  $NF_{min}$ . This can be solved by including the capacitor  $C_{ex}$  as it is shown in 0. By adding this capacitance, one can use lower values of the inductance  $L_s$  to achieve simultaneous noise and input matching.

The input impedance of the LNA is given by:

$$Z_{in} = s \cdot (L_s + L_g) + \frac{1}{s \cdot C_t} + \frac{g_M \cdot L_s}{C_t} \quad (1)$$

where  $C_t$  is the total capacitance between the gate and the source of M1, i.e.  $C_{gs} + C_{ex}$ . From (1) it can be seen that by including the capacitor  $C_{ex}$  the imaginary part of the input impedance changes, allowing smaller values for  $L_s$  and  $L_g$ . This also reduces the parasitic resistance, thus improving the noise figure of the LNA.

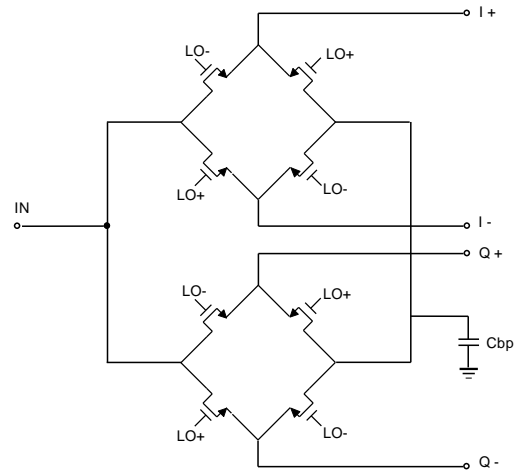
In this design, the inductors  $L_s$ ,  $L_g$  and  $L_d$  are implemented on-chip in order to reduce the off-chip components. This can be done because the noise figure required by the standard is relaxed.

In this topology, the gain control function is implemented by adjusting the bias voltage  $V_{ctr}$ .

*Downconversion Mixer*

0 shows the schematic of the downconversion mixer. A passive double-balanced mixer has been chosen because it dissipates no dc current, provides high linearity and reduces the LO leakage. Also, as no dc current flows through the transistors, the  $1/f$  noise contribution from the mixers is minimized 0.

The output of the LNA is connected to one terminal of the differential input of the mixer via the coupling capacitor  $C_d$ , while the second input terminal of the mixer is connected to ac ground through the bypass capacitor  $C_{bp}$ . This approach maintains most of the advantages of the differential circuitry such as the second-order distortion and the LO leakage, with a negligible gain penalty 0.



Schematic of the downconversion mixer.

There are two parameters that can be modified in this mixer to obtain the best possible performance: the device size and the LO signal characteristics. When low noise performance is desired, the width of the transistors should be large enough to provide a low on-resistance. Also, there is a tradeoff between the mixer noise performance and the gain of the LNA, which has to be considered when sizing the switches. The LNA has a load impedance which is a parallel resonance circuit that consists of a parasitic capacitance and an output inductor. In this case, the inductance must be decreased if the switch capacitance increases. This has to be done so that the resonance frequency doesn't change. However, this will decrease the gain of the LNA due to the lower load impedance. Also, the dc level of the LO signal will affect the mixer performance because it controls the switching performance.

*Transimpedance Amplifier*

The current signal from the mixer is converted to voltage by a TIA. As it can be seen in 0, this amplifier consists of two

inverters in parallel (0) and resistive feedback loops. In order to maintain common-mode voltage stability, the resistors R1 and R2 are used. These resistors produce an effective resistance for differential signals of  $R_1 R_2 / (R_2 - R_1)$ . The elimination of the dc offsets produced by the mixer is carried out by a high pass filter formed by this effective resistance and the capacitor C. The increased value of this effective resistance allows the input blocking capacitor to be smaller and, as a consequence, both the noise and area are reduced. In (2) the voltage gain of the amplifier is shown.

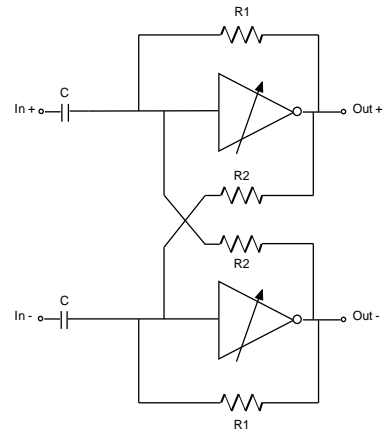
$$A_v = \frac{v_{out}}{v_{in}} = 1 - (g_{MN} + g_{MP}) \frac{R_1 \cdot R_2}{(R_2 - R_1)} \quad (2)$$

As it can be seen, by adjusting the  $g_m$  of the inverters the voltage gain can be changed.

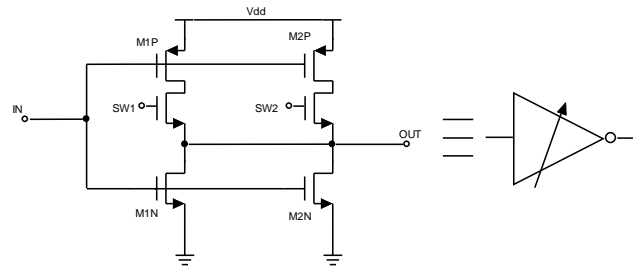
To allow the TIA to operate at high and low gain modes, the switches SW1 and SW2 are used in the inverters.

### Balanced third-order complex filter

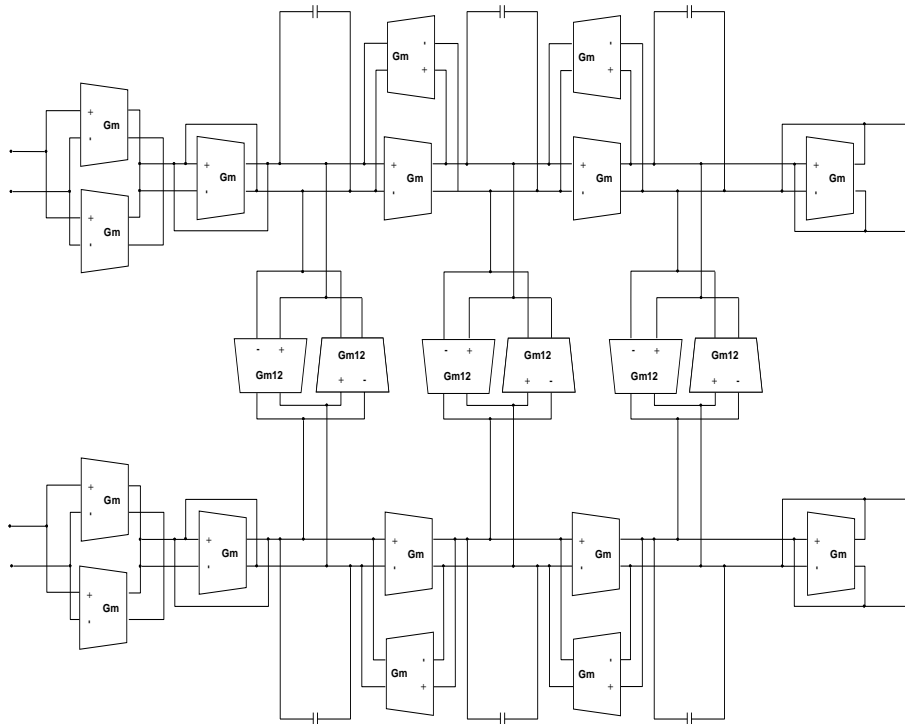
The IEEE 802.15.4 standard requires 0 dB rejection at the adjacent channel (5 MHz) and 30 dB rejection at the alternate channel (10 MHz). This can be accomplished by a Butterworth third order gm-C complex filter. The main advantage of this topology is that the inherent insertion loss of passive filters can be compensated by the transconductance of the input stage. Also, a good trade-off in terms of power, operating frequency and noise can be achieved.



Schematic of the TIA.



Inverter used in the TIA.

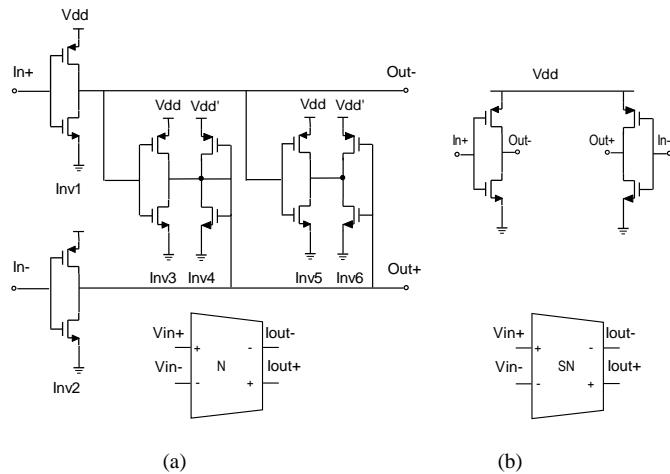


Schematic of the complex filter.

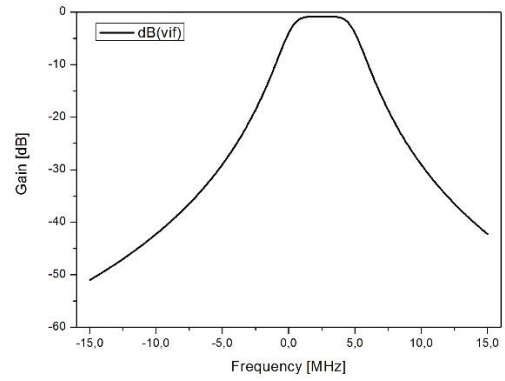
The topology of the complex filter is shown in 0. It consist of two Butterworth third order gm-C low-pass filters for the I and Q paths and two crossing extra signal paths per integrator to transform the low-pass prototypes to their band-pass complex counterparts.

In order to reduce the power consumption, inverter based transconductors have been used in the I and Q paths (0.b). The main issue with this kind of transconductors is the difficulty of setting the dc levels. To maintain the output common mode voltage stability, Nautas' transconductors (0.a) have been used in the crossing signal paths that connects the I and Q branches 0. In this type of transconductors, inverters Inv3, Inv4, inv5 and Inv6 are used to maintain common-mode stability and enhance dc gain. Common-mode stability follows if the common-mode gain ( $A_{CM}$ ) is less than unity. On the other hand, if the width of the transistors in Inv4 and Inv5 are designed slightly smaller than those of Inv3 and Inv6 the differential mode gain ( $A_{DM}$ ) is boosted 0.

The frequency response of this filter is shown in 0. As a consequence of both, dispersions in the process of fabrication and variations of the voltage power supply, this frequency response may suffer variations. These deviations can be compensated by controlling the voltage supply of the transconductors with a tuning circuit that controls the voltage supply of both the TIAs and the complex filter transconductors. For this reason those circuits have been designed to work with a 1.4 V voltage supply instead of 1.8 V, which is the voltage supply for the rest of the receiver. In the Nautas' transconductors the voltages Vdd and Vdd' are used for F-tuning and Q-tuning, respectively.



(a) Nauta's Transconductor (b) Simplified Nauta's transconductor.



Complex filter frequency response

### SIMULATION RESULTS

The proposed receiver is implemented in a standard 0.18  $\mu\text{m}$  CMOS technology and simulated using Advanced Design System (ADS) software. The total power consumption of the receiver is 5.5 mW – 2.39 mA at 1.8V for the LNA, 60  $\mu\text{A}$  at 1.4 V for the mixer&TIA, and 0.8 mA at 1.4 V for the complex filter.

The input matching of the receiver is shown in 0. It can be observed that for 2.4 GHz the input matching is below -10 dB. The gain and NF for the entire IEEE 802.15.4 standard band are shown in 0. The noise figure varies from 10.3 dB to 12 dB over the whole band while the gain is almost constant with a value around 42 dB.

The simulated value of the receiver's NF for one channel is shown in 0. The simulation shows a constant value of 10.3 dB approximately, with a high rise at low frequencies due to the 1/f noise. On the other hand, 0 shows the frequency response of the receiver. As can be seen, the maximum gain is over 42 dB and the image rejection of the adjacent channel is 28 dB.

The LNA has a maximum gain of 18 dB and a minimum gain of 4 dB. This is controlled by the LNA's control voltage  $V_{\text{ctr}}$ . As shown in 0, as  $V_{\text{ctr}}$  increases, the gain also increases, while the NF decreases. In addition, the TIA has a high gain mode of 24 dB and a low gain mode of 1 dB. This is achieved thanks to the switches included in each inverter. In Table I, the total gain and NF of the receiver are shown depending on the gains of the LNA and the TIA. The total gain can be varied from 5 to 42 dB while the NF changes between 10.3 and 43 dB. This increase of the NF at low gains is acceptable because, as the input power increases, so does the tolerable NF. This can be seen in 0, where the tolerable system NF of an IEEE 802.15.4 receiver versus the received signal power is shown 0. According to the standard, the input signal ranges from a minimum value of -85 dBm (sensitivity) and a maximum value of -20 dBm, which imposes a maximum NF ranging from 15.5 to 78 dB.

Table I Receiver Gain and Noise Figure for different gain setups

LNA gain [dB]	TIA gain [dB]	Receiver Gain [dB]	Receiver NF [dB]
4	1	5	43
18	1	19	28

4	24	28	25
18	24	42	10.3

Finally, the simulated value of the third-order input intercept point (IIP<sub>3</sub>) at high gain mode is shown in 0. A -5 dBm IIP<sub>3</sub> is obtained when two tones at 500 kHz offset from the center of the designed channel are applied at the input.

Table II compares the presented receiver to previously reported IEEE 802.15.4 receivers. It shows that our results are in line with the state-of-the-art of low-power/low-cost front-end receivers.

### CONCLUSIONS

A 802.15.4 receiver front-end for 2.4-GHz-band consuming a dc power of 5.5 mW is reported in 0.18- $\mu$ m CMOS. The receiver adopts a low-IF architecture and comprises a variable gain single-ended LNA, a quadrature passive mixer, a variable gain TIA and a complex filter for image rejection. The receiver shows 42 dB conversion gain with 37 dB gain variation, 10.3 dB NF, 28 dBc image rejection and -5 dBm input (IIP<sub>3</sub>). The achieved performance exceeds the requirements of 802.15.4, yet performs favorably in terms of high level of integration and low power consumption.

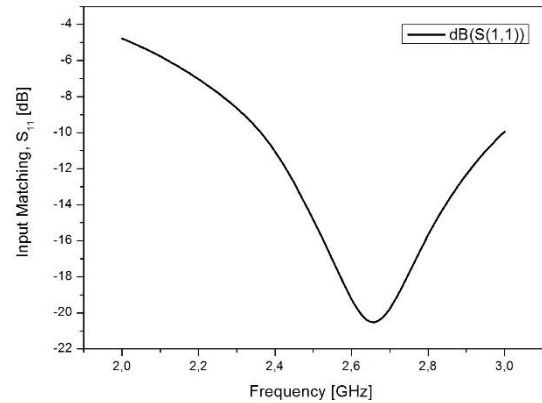
### ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Science and Innovation (TEC2011-28724-C03-02 and TEC2011-28357-C02-02).

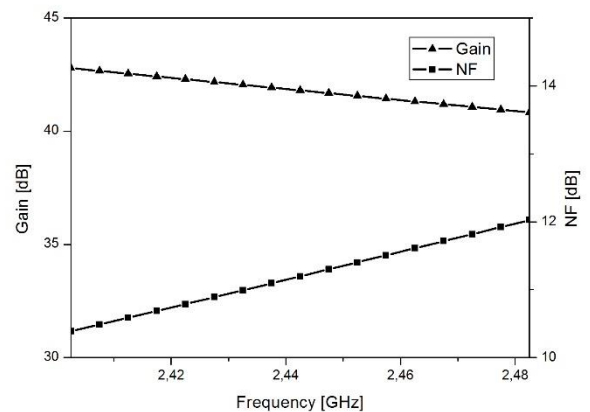
### REFERENCES

- Liu Weiyang, Chen Jingjing, Wang Haiyong, and Wu Nanjian, "A low power 2.4 GHz transceiver for ZigBee applications," *Journal of Semiconductors*, vol.34, no.8, Aug. 2013.
- Trung-Kien Nguyen, Vladimir Krizhanovskii, Jeongseon Lee, Seok-Kyun Han, Sang-Gug Lee, Nae-Soo Kim, and Cheol-Sig Pyo, "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- $\mu$ m CMOS Technology," *IEEE Transactions on Microwaves Theory and Techniques*, vol.54, no.12, Dec. 2006.
- Ajay Balankutty, Shih-An Yu, Yiping Feng, and Peter R. Kinget, "0.6-V Zero-IF/Low-IF Receiver With Integrated Fractional-N Synthesizer for 2.4-GHz ISM-Band Applications," *IEEE Journal of Solid-State*, vol. 45, no. 3, Mar 2010.
- Ilku Nam, Kyudon Choi, Joonhee Lee, Hyok-Kyu Cha, Bo-Ik Seo, Kuduck Kwon, and Kwyo Lee, "A 2.4-GHz Low-Power Low-IF Receiver and Direct-Conversion Transmitter in 0.18- $\mu$ m CMOS for IEEE 802.15.4 WPAN applications," *IEEE Transactions on Microwaves Theory and Techniques*, vol.55, no.4, Apr 2007.
- Bao Kuan, Fan Xiangning, Li Wei, and Wang Zhigong, "A wideband current-commutating passive mixer for multi-standard receivers in a 0.18  $\mu$ m CMOS," *Journal of Semiconductors*, vol.34, no.1, Jan. 2013.
- Brian Guthrie, John Hughes, Tony Sayers, and Adrian Spencer, "A CMOS Gyration Low-IF Filter for a Dual-Mode Bluetooth/ZigBee," *IEEE Journal of Solid-State Circuits*, vol.40, no. 9, Sep. 2005.
- Trinidad Sánchez-Rodríguez, Ramón G. Carvajal, Sunil Lalchand Khemchandani, Javier Del Pino, Jaime Ramírez-Angulo, and Antonio López-Martín, "Low-Power Complex Filter for WLAN Applications," *XXII Conference on Design of Circuits and Integrated Systems*.
- Bram Nauta, "A CMOS Transconductance-C Filter Technique for Very High Frequencies," *IEEE Journal of Solid-State Circuits*, vol.27, no.2, Feb 1992.
- Carlos Muñoz-Montero, Ramón González-Carvajal, and Alejandro Díaz-Sánchez, "A Nauta's transconductor with continuous-time offset compensation," *Conference: XIV IBERCHIP Workshop*, At Puebla, Mexico, Jan. 2008.

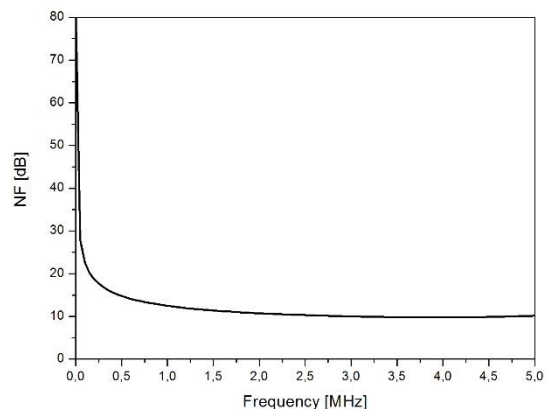
Aaron V. Do, Chirm Chye Boon, Manh Anh Do, Kiata Seng Yeo, and Alper Cabuk, "An Energy-Aware CMOS Receiver Front end for Low-Power 2.4-GHz Applications," *IEEE Transactions on Circuits and Systems—I: Regular Papers*, vol. 57, no. 10, October 2010.



Input matching for the receiver

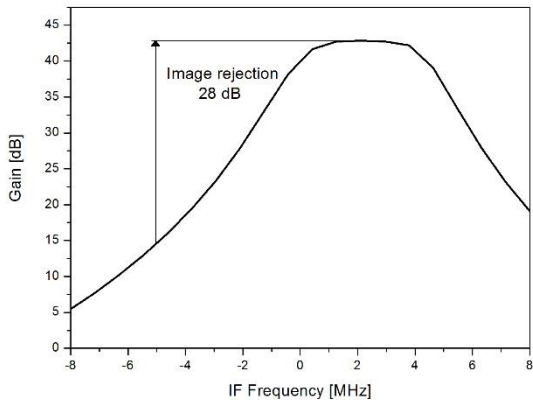


Simulated Gain and NF of the receiver over the entire ISM-band

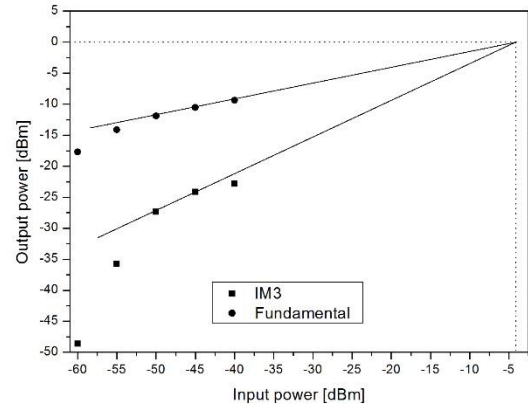


Simulated NF of the receiver

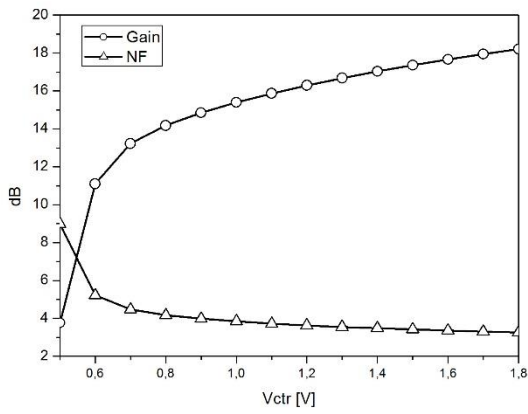




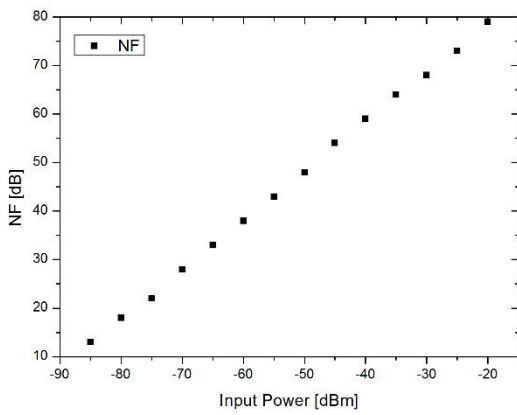
Simulated frequency response of the receiver



Simulated IIP<sub>3</sub> of the receiver



Simulated Gain and NF depending on  $V_{ctr}$



Tolerable NF versus receive input power for the IEEE 802.15.4 standard

Table II Performance Comparison of 2.4 GHz IEEE 802.15.4 Front-End Receivers

	0	0	0	0	This Work
Technology CMOS [nm]	180	180	90	180	180
Voltage Gain [dB]	86	30	67	-	42
NF [dB]	8.5	7.3	16	<10	10.3
IIP3 [dB]	-8	-8	-10.5	>-15	-5
Power dissipation [mW]	12.63	6.3	10	10.8	5.5
Architecture	Low-IF: LNA+MIX +FIL+PGA	Low-IF: LNA+MIX	Low-IF: LNA+MIX +FIL+PGA	Low-IF: LNA+MIX+FI L+PGA	Low-IF: LNA+MIX +FIL

LNA: Low Noise Amplifier

MIX: Mixer

FIL: Complex Filter

PGA: Programmable Gain Amplifier

# **Anexo 2**

---

# Single-Event Effects Sensitivity Analysis of a 0.18 $\mu\text{m}$ CMOS Low-Noise Amplifier

S. Mateos-Angulo, D. Mayor-Duarte, M. San Miguel-Montesdeoca, S.L. Khemchandani and J. del Pino

Institute for Applied Microelectronics (IUMA), Departamento de Ingeniería Electrónica y Automática  
Universidad de Las Palmas de Gran Canaria  
Las Palmas de Gran Canaria, Spain

**Abstract**—This paper investigates Single Event Effects (SEE) in a 0.18  $\mu\text{m}$  CMOS 2.4 GHz Low Noise Amplifier (LNA). The recovery time and maximum output voltage peak were analysed when an energetic particle strikes the most critical nodes of the circuit. This study facilitates the understanding of transient propagation in LNAs and suggests several radiation hardening approaches to reduce SEE sensitivity at transistor level.

**Index terms:** SET, CMOS, low-noise amplifier (LNA), recovery time, voltage peak, quality factor.

## INTRODUCTION

Nowadays, radiation tolerance in circuits is one of the most relevant topics in the field of microelectronic systems design. The interaction of heavy particles with analog components in high-radiation environments generates large transients that could propagate to other areas of the circuit. These effects are significant in circuits that are used in many applications, such as space-intended devices, medical and military equipment, nuclear plant control systems, etc. 0

The progressive decrease of CMOS transistor size over the years has increased the probability of faults when the circuits are exposed to ion radiation. These faults are generated when an energetic particle strikes a sensitive region in an integrated circuit. The resulting electron-hole pair generation caused by these strikes can produce transient pulses that could modify the logical state of the struck circuit node. This temporary voltage or current disturbance at a circuit node is called a Single-Event Transient or SET 0.

High-frequency circuits are known to be less tolerant against SETs. This effect, also called Pulse Induced Propagation Broadening (PIPB), has been mainly analysed in digital circuits. However, this phenomenon is also a threat to analog and mixed-signal circuits 00. The topology of the circuit has an influence on the effect of SETs, changing the width of the transient pulse. Because of this, each design requires a thorough study. This paper

is focused on the study of SETs on Low Noise Amplifiers (LNA).

The theoretical concept behind SETs is described in Section II. Section III introduces the LNA design where the SET simulations are performed and Section IV is devoted to analyse the recovery time and maximum output voltage peak when an energetic particle strikes the most critical nodes of the circuit. Finally, some conclusions are given in Section V.

## SINGLE-EVENT TRANSIENTS

SETs are caused when a semiconductor device is struck by an energetic particle, provoking transient voltage disturbances. These perturbations can propagate to storage elements and induce logic-level variations, producing Single-Event Upsets (SEUs). The band-pass features of the device determine the propagation of this events, and only sufficiently large SETs will be able to cause state changes. The size of the circuits affects the way these transient events deteriorate the circuit's performance.

The practical way to analyse the effect of SETs in circuits is to perform transient simulations, despite the time required for this kind of studies. These simulations give a sense of the way the circuit's parameters are affected without needing to carry out experimental measurements using heavy-ion or laser strike.

In CMOS circuits, the effects of SETs are usually simulated with a current source connected at the Drain of the transistors 0. This source, shown in Figure 1, generates a pulse in which the amplitude and width can be modified. When this source is added to the schematic, a transient simulation is run in order to evaluate the influence of the current pulse. To do so, the instant and nodes where the impact strikes must be specified.

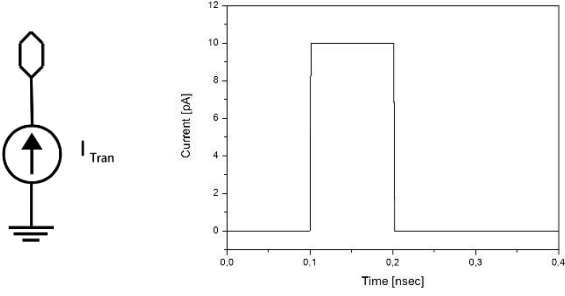


Figure 1. Pulse injected by the current source.

### LOW-NOISE AMPLIFIER

The main design goals of an LNA are low noise figure (NF), high gain to sufficiently reduce the NF contribution of the subsequent stages, and high linearity to accommodate high input signal and strong interferences. In addition, the LNA should have a 50-Ω input impedance to match with the output impedance of the off-chip components such as RF bandpass filter or T/R switch.

Figure 2 shows the schematic of a conventional inductive degenerated cascode LNA topology. This topology is known to provide high gain, low noise and high input/output isolation. In order to achieve simultaneously low noise and input matching, the inductive degeneration technique is used. The addition of  $L_s$  generates a real part at the input impedance which reduces the discrepancy between the optimum noise impedance and the LNA input impedance. This is due to the fact that the optimum noise impedance has a real part while without degeneration there is no real part at the input impedance. However, under low power consumption, the value needed of this inductance to obtain both noise and input matching is very large. This results in a minimum achievable noise figure of the LNA significantly higher than its  $NF_{min}$ . This can be solved by including the capacitor  $C_{ex}$  as it is shown in Figure 2. By adding this capacitance, one can use lower values of the inductance  $L_s$  to achieve simultaneous noise and input matching.

The input impedance of the LNA is given by:

$$Z_{in} = s \cdot (L_s + L_g) + \frac{1}{s \cdot C_t} + \frac{g_M \cdot L_s}{C_t}$$

where  $C_t$  is the total capacitance between the gate and the source of  $M_1$ , i.e.  $C_{gs} + C_{ex}$ . From the above equation, it can be seen that by including the capacitor  $C_{ex}$  the imaginary part of the input impedance changes, allowing smaller values for  $L_s$  and  $L_g$ . This also reduces the parasitic resistance, thus improving the noise figure of the LNA.

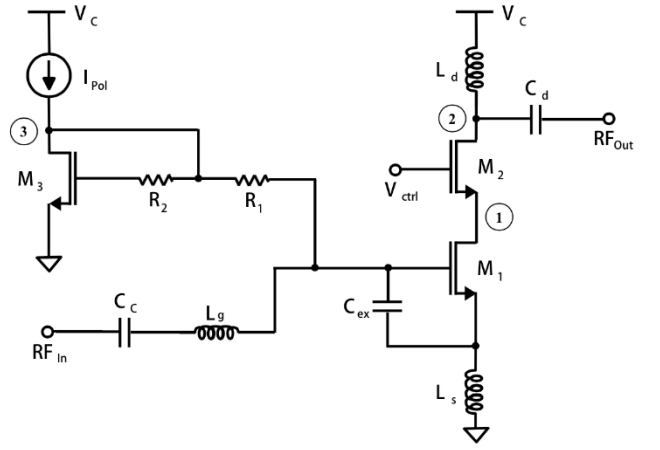


Figure 2. Schematic of the Low-Noise-Amplifier.

### SIMULATION ANALYSIS

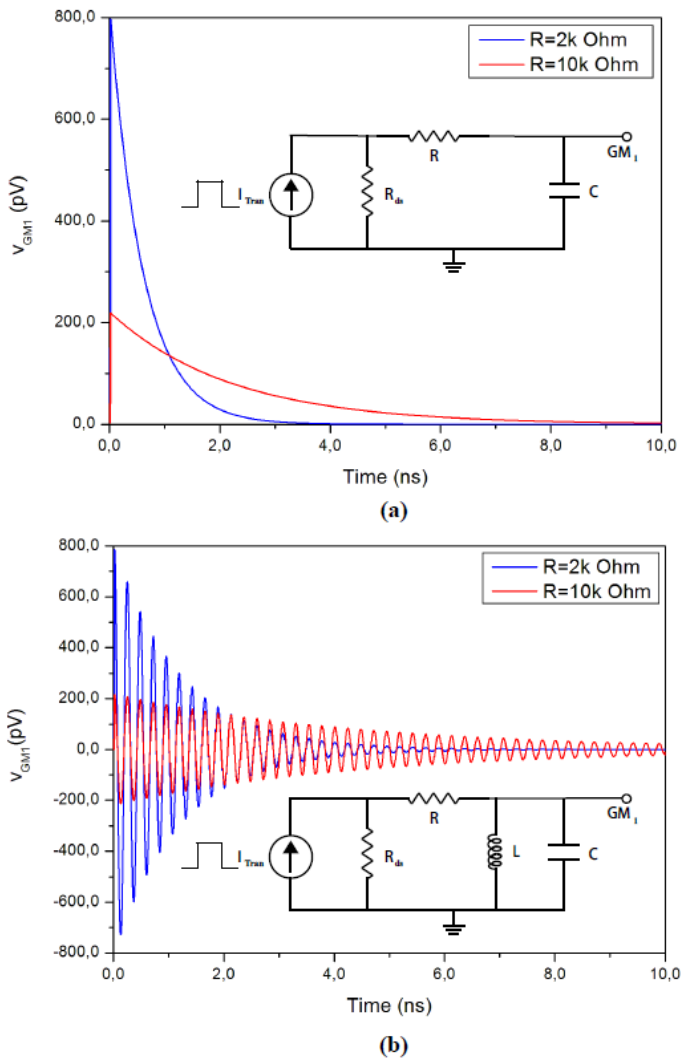
This section studies the influence of SETs on the LNA described in section III. This influence was analysed in nodes 1, 2 and 3 of the circuit shown in Figure 2, which correspond to the Drains of transistors  $M_1$ ,  $M_2$  and  $M_3$ , respectively. Table III shows the recovery time and the maximum voltage peak at the output when applying the current pulses at these nodes.

Table III. Recovery time and maximum voltage peak at the output when applying current pulses at different nodes

Node	Recovery Time (s)	Maximum voltage peak (V)
1	7.11n	988.48p
2	1.88n	3.67n
3	7.425n	882.49p

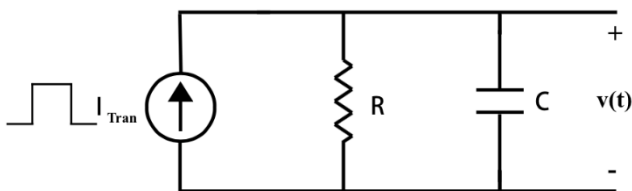
When a current pulse is applied at the Drain of transistor  $M_3$ , the recovery time is longer than in the other cases. Figure 3 (a) shows the transient response of the simplified equivalent circuit at node 3, for different values of resistance. In the simplified equivalent circuit,  $R_{ds}$  is the drain to source resistance of  $M_3$  and  $R$  and  $C$  are the equivalent resistance and capacitance of this node, respectively. If the input matching inductor is taken into account, the transient response of the equivalent circuit becomes like that shown in Figure 3 (b). As it can be seen, although an increase in  $R$  implies an increase in the time constant of this node, the voltage peak at  $M_1$  gate is lower. This translates into a lower peak at the output of the LNA and, as a consequence, a shorter recovery time. This means that, from the SET point of view, the current mirror

resistances should be as large as possible in order to reduce the recovery time at the output signal.



**Figure 3.** Transient response for different values of resistance: (a) No input matching inductor (b) Input matching inductor.

When applying the current pulse at the Drain of  $M_1$ , the equivalent circuit seen at this node is a simple RC parallel circuit (Figure 4), where  $R$  is the output resistance of transistor  $M_1$  and  $C$  is the gate to source capacitance of transistor  $M_2$ .



**Figure 4.** RC equivalent circuit seen at the Drain of transistor  $M_1$ .

In this case, the response of the circuit to a pulse is directly dependent of the time constant of this node. In order to reduce the time constant, either the resistance or the capacitance should be lowered. To do so, transistors

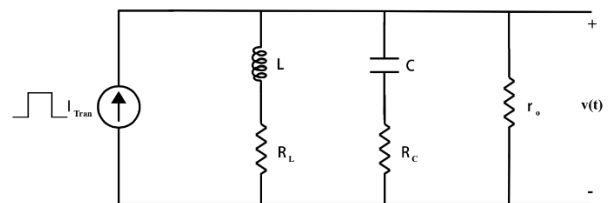
$M_1$  and  $M_2$  must be modified. However, varying the size of  $M_1$  isn't advisable since the gain and noise figure of the LNA strongly depend on this transistor. On the other hand, the influence of transistor  $M_2$  on the LNA performance is lower. Table IV shows the recovery time for three different  $M_2$  transistor sizes. As it can be seen, the recovery time is slightly smaller when the transistor  $M_2$  is smaller. However, the gain of the LNA decreases and the noise figure slightly increases. With this results, it can be stated that there is a trade-off between the recovery time and the gain and noise figure of the LNA. As a consequence,  $M_2$  size should be chosen depending on the tolerable gain and NF penalty.

Table IV. Results for different sizes of transistor  $M_2$

$W (M_2)$ ( $\mu\text{m}$ )	Recovery Time (ns)	Maximum voltage peak (nV)	Gain (dB)	Noise Figure (dB)
25	3.099	2.19	15.65	3.55
65	3.51	1.37	17.73	3.39
105	3.97	1.15	18.40	3.41

Finally, Table III shows that the maximum voltage peak at the output is larger when the current pulse is applied at the Drain of transistor  $M_2$ . This is due to the fact that, although the current peak is larger in the Drain of  $M_1$ , the impedance at the Drain of  $M_2$  is larger and the resulting output voltage will be larger 0.

As seen in the previous section, conventional low-noise amplifiers (LNAs) use a parallel LC resonator (or LC tank) as a frequency selective load. The gain of an LNA is proportional to the transistor's transconductance ( $g_m$ ) and the tuned circuit's impedance at resonance ( $R_{\text{tank}}$ ). This impedance is determined by the quality factor ( $Q_{\text{tank}}$ ) of this resonant LC tank, which is limited by the losses in the inductor and the capacitor. As a consequence, an actual LC tank is usually modelled as shown in Figure 5, where  $R_L$  and  $R_C$  are the parasitic series resistance of the inductor and capacitor, respectively. Resistance  $r_o$  is the resistance seen at the Drain of  $M_2$ .



**Figure 5.** Equivalent circuit seen at the Drain of  $M_2$ .

When the tank is made with ideal inductors and capacitors, the gain of the LNA does not change when the inductance and capacitance is modified keeping the resonant frequency constant. This is because, ideally, there are no parasitic resistances. However, when real components are included, their parasitic resistances have an impact on the LNA performance.

In order to analyse the effects of real components, the values of the inductance and the capacitance that constitute the tank were modified, keeping the resonance frequency constant. The inductors range from 1nH to 10nH and were designed using the model provided by the UMC 0.18 $\mu$ m CMOS technology to obtain maximum quality factor at 2.4GHz. For each of these inductors, the capacitor which makes the tank resonate at the desired 2.4 GHz frequency was calculated. Under these conditions, both the small signal and transient performance of the circuit were analysed.

Figure 6 shows the gain and the Noise Figure of the LNA for different inductance values. As the inductance rises the gain increases and the NF drops. This is explained by the fact that the quality factor of the tank ( $Q_{\text{tank}}$ ) increases as the inductance increases, as it can be seen in Figure 7.

This result is against the commonly held argument that, as integrated circuit processes are inherently better suited to making capacitors than inductors, the  $Q_{\text{tank}}$  is usually limited by the losses in the inductor. However, as Figure 7 indicates,  $Q_{\text{tank}}$  does not follow the same shape as  $Q_L$ .

On the other hand, Figure 8 shows the recovery time and the maximum voltage peak at the LNA output. In this case, it can be stated that there is a strong relationship between the recovery time and  $Q_L$ .

In light of these results, one may assume that it would be desirable to use high inductance values, which means having a good performance both in gain and NF and a short recovery time. However, high inductances mean a small capacitance and, as shown in Figure 8, the smaller the capacitance, the bigger the peak value.

As a conclusion, when designing the inductor included in the tank circuit, there is a trade-off between the recovery time and the voltage peak observed at the output. The bigger the inductance, the shorter recovery time and the better the small signal performance, but the larger the voltage peak.

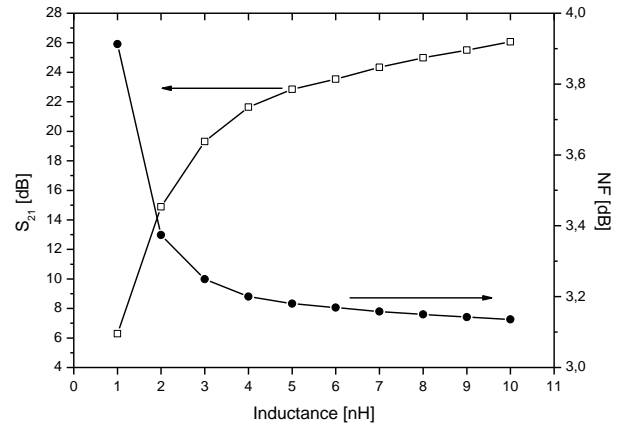


Figure 6. Gain and NF for different inductance values

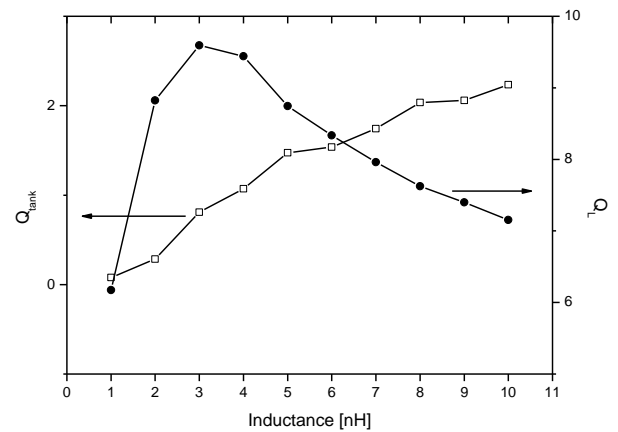


Figure 7.  $Q_{\text{tank}}$  (tank quality factor) and  $Q_L$  (maximum inductor quality factor) for different inductance values.

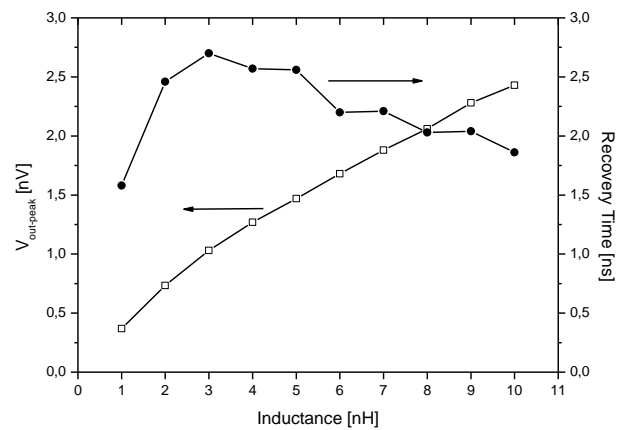


Figure 8. Recovery time and maximum voltage peak at the LNA output for different inductance values

## CONCLUSION

The influence of SETs in a conventional low noise amplifier was investigated. These effects can result in the corruption of multiple bits of the received data. The recovery time and maximum voltage peak value of the output signal were analysed when a current pulse was applied at the most critical nodes of the circuit. Several radiation hardening approaches were studied, searching for the reduction of peak transient magnitudes and recovery times observed at the output signal. As a future work, this study envisions to integrate the LNA into a complete receiver front-end and to test the data integrity to see if the information is corrupted.

## ACKNOWLEDGMENT

This work is partially supported by the Spanish Ministry of Economy and Competitiveness (TEC2015-71072-C03-01).

## REFERENCES

F. Márquez, F. Muñoz, F.R. Palomo, L. Sanz, E. López-Murillo, M.A. Aguirre, and A. Jiménez, "Automatic Single Event Effects Sensitivity Analysis of

a 13-Bit Successive Approximation ADC", IEEE Transactions on Nuclear Science, vol. 62, no. 4, Aug. 2015.

G.I. Wirth, M.G. Vieira and F.G. Lima Kastensmidt, "Accurate and computer efficient modelling of single event transients in CMOS circuits", IET Circuits Devices Syst., vol.1, no.2, pp. 137-142, 2007.

J.M. Mogollón, F.R. Palomo, M.A. Aguirre, J. Napoles, H. Guzmán, and E. García, "TCAD simulations on CMOS propagation induced pulse broadening effect: Dependence analysis on the threshold voltage," IEEE Transaction on Nuclear Science, vol. 57, no. 4, pp. 1908-1914, Aug. 2010.

L.W. Massengil and P.W. Tuinenga, "Single-event transient pulse propagation in digital CMOS," IEEE Transaction on Nuclear Science, vol. 55, no. 6, pp. 2861-2871, Dec. 2008.

Henil, Langalia, Sarthak Lad, Mangesh Lolge and Surendra Rathod, "Analysis of two-stage CMOS Op-Amp for Single-Event Transients," International Conference on Communication, Information & Computing Technology, 2012.

Sergio Mateos-Angulo, Daniel Mayor-Duarte, Sunil Lalchand Khemchandani, Javier del Pino, "A low-power fully integrated CMOS RF receiver for 2.4-GHz-band IEEE 802.15.4 Standard", XXX Conference on Design of Circuits and Integrated Systems, 2015.

Ickhyun Song, Seungwoo Jung, Nelson E. Lourenco, Uppili S. Raghunathan, Zachary E. Fleetwood, Saed Zeinolabedinzadeh, Tikurete B. Gebremariam, Nicholas J.-H. Roche, Ani Khachatrian, Stephen P. Buchner, Joseph S. Melinger, Jeffrey H. Warner, Pauline Paki-Amouzou, and John D. Cressler, "Design of Radiation-Hardened RF Low-Noise Amplifiers Using Inverse-Mode SiGe HBTs", IEEE Transactions on Nuclear Science, vol. 61, no.6, Dec. 2014.

Ben Walter Cook, "Low Energy RF Transceiver Design," Electrical Engineering and Computer Sciences, University of California at Berkeley, 2007.



