



Máster de Tecnologías de Telecomunicación

Trabajo Fin de Máster

Encapsulado de un sintetizador de frecuencia para DVB-H en tecnología BiCMOS 0.35 μm

Dailos Ramos Valido

Dr. Francisco Javier del Pino Suárez, Dr. Sunil Lalchand Khemchandani

Junio 2011

Resumen:

- El objetivo principal del trabajo fin de máster es encapsular y estudiar el efecto del encapsulado de un sintetizador de frecuencia para un receptor de conversión directa para el estándar DVB-H. Para ello se hará uso de la tecnología BiCMOS 0,35 μm suministrada por la empresa AMS (*Austria Micro System*).
- Se define el estudio teórico del estándar, la tecnología y del sintetizador que se va a manipular. Posteriormente se pasa al diseño a nivel tanto de esquemático como de *layout* de los elementos del encapsulado que se van a incorporar al bloque de partida, un sintetizador de frecuencias. Al final se obtiene un archivo en formato gds para ser mandado a fábrica.

Sintetizador de frecuencias:

- La estructura a utilizar es la de un sintetizador con un detector de fase/frecuencia digital más una bomba de carga combinando un divisor fijo rápido y un divisor programable. La salida para el estándar DVB-H es después del divisor rápido ($f_o/2=f_c$).

Frecuencias a generar	470 MHz+4MHz+(N-21)·8MHz; N=21,...,69
Ruido de fase	-107 dBc/Hz para un offset de 100 KHz

Tabla 1. Especificaciones del sintetizador.

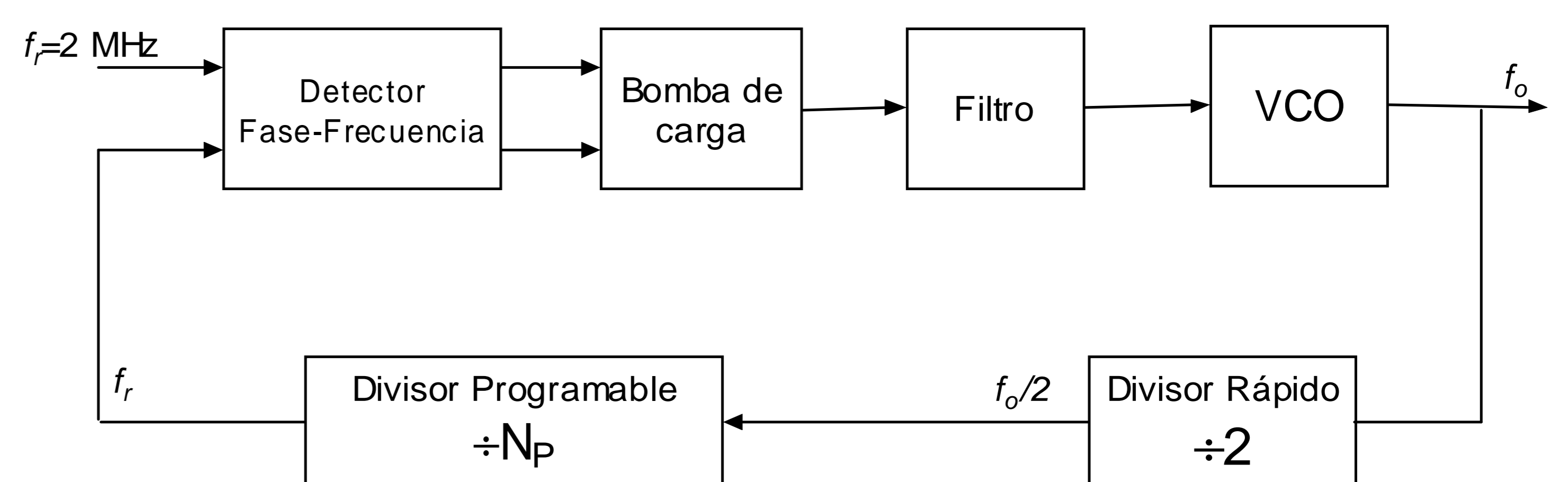


Figura 1. Esquema del sintetizador utilizado.

Package model

- El package model tiene en cuenta la influencia del encapsulado. El modelo se estructura en cuatro sub-circuitos: los pads y ESD, el encapsulado, los cables de soldadura (bondwires) y los puntos de soldadura (dots).

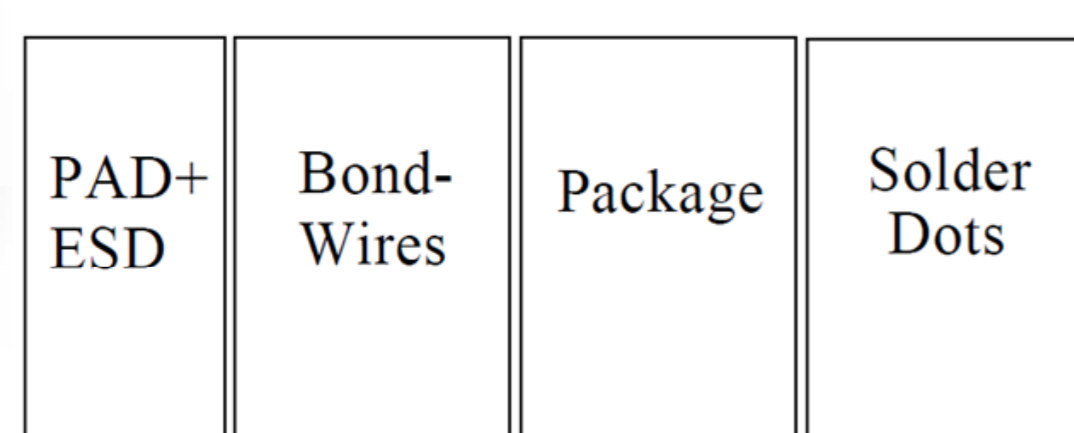


Figura 2. Modelo a simular del encapsulado.

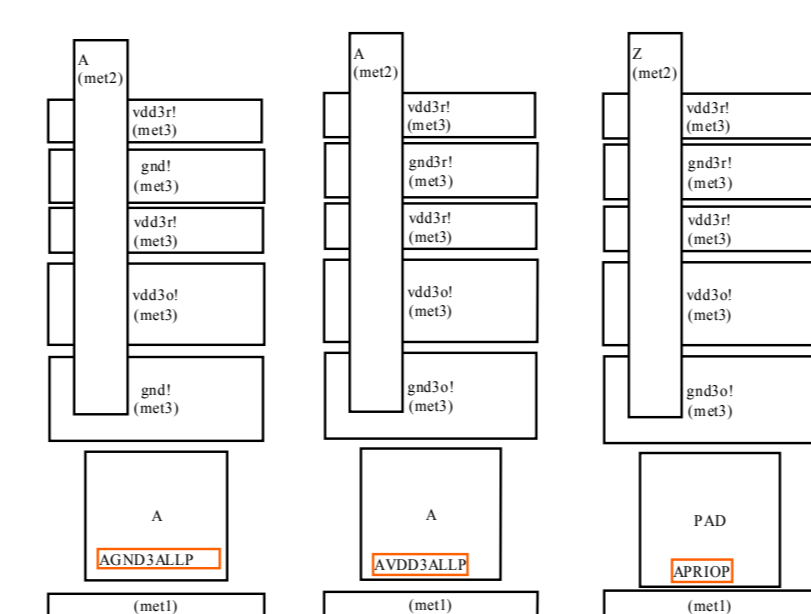


Figura 3. Pads-ESD.

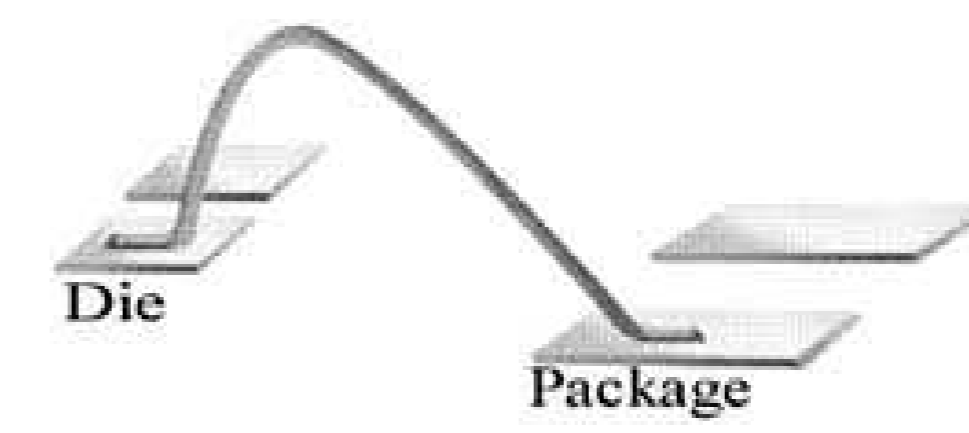


Figura 4. Bondwire.

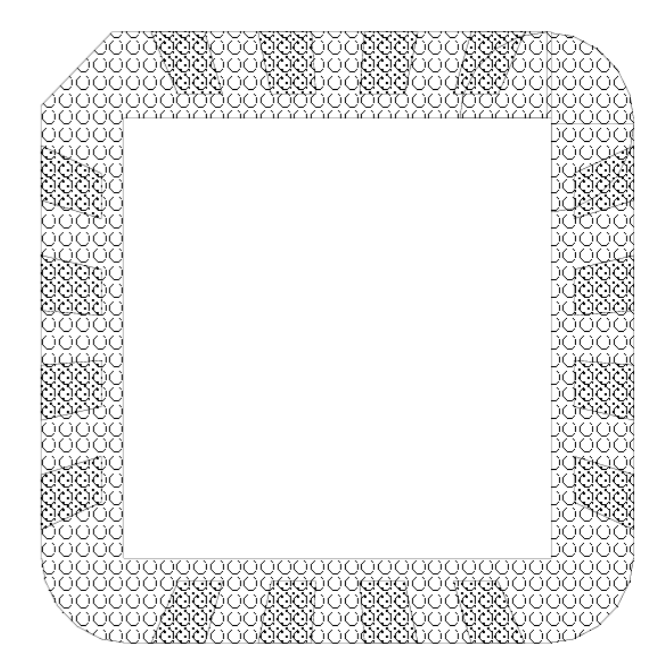


Figura 5. QFN-16.

Layout y simulaciones

- Al *layout* final se le han añadido *pads*-ESD.
- En las simulaciones el sintetizador tiende a engancharse, aunque todavía en la simulación no se llega a ver el enganche final debido a la escala del reloj principal y los factores de división del diseño. La simulación *post-layout* de la tensión V_{TUNE} sin efectos de encapsulado y con efectos del encapsulado se puede ver un ligero rizado en la señal.

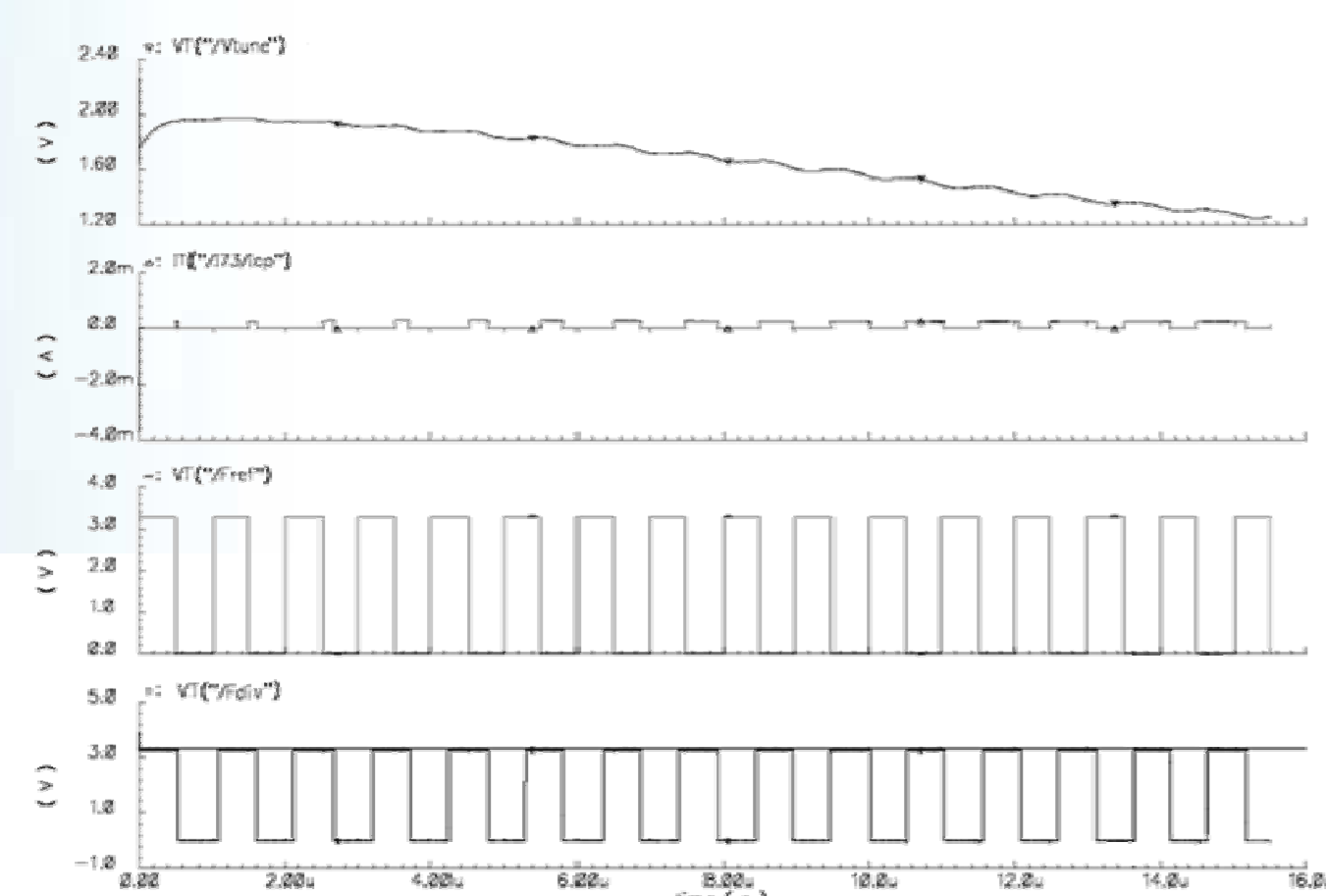


Figura 6. Simulaciones de enganche.

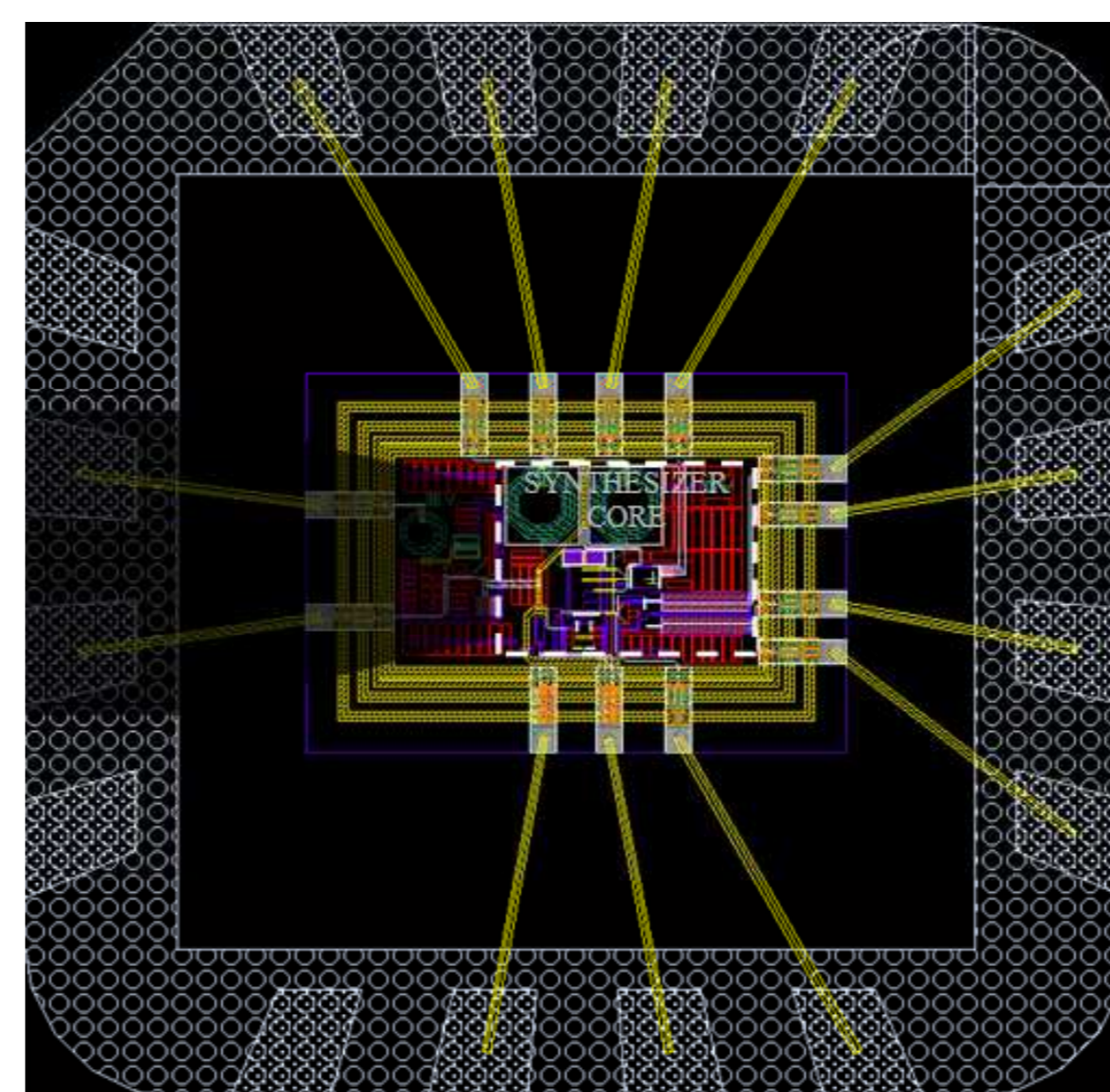


Figura 7. Layout.

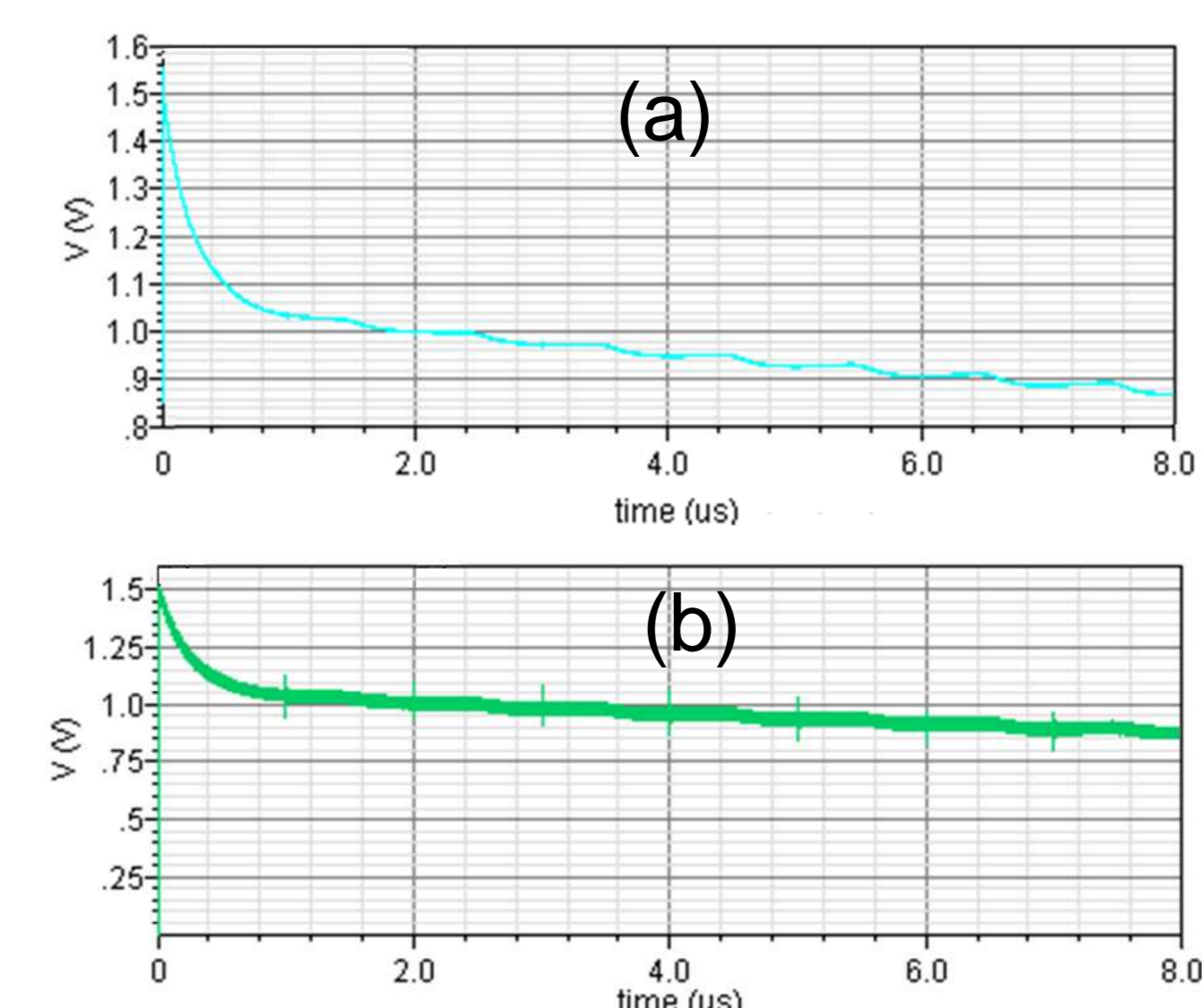


Figura 8. Simulaciones *post-layout* para V_{TUNE} : (a) sin encapsulado, (b) con encapsulado.

Conclusión

A lo largo de este trabajo fin de máster se ha cerrado el flujo de diseño sobre el encapsulado de un circuito integrado mixto de radiofrecuencia, un sintetizador, finalizando con el desarrollo del *layout* encapsulado. De esta manera se puede integrar y proteger un chip además de manejar más fácilmente el circuito.

