



UNIVERSIDAD DE LAS PALMAS DE GRAN CANARIA
Instituto Universitario de Microelectrónica Aplicada
Sistemas de información y Comunicaciones

Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

**Encapsulado de un sintetizador de frecuencia
para DVB-H en tecnología BiCMOS 0.35 μm**

Autor: **Dailos Ramos Valido**

Tutor(es): **Dr. Francisco Javier del Pino Suárez**

Dr. Sunil Lalchand Khemchandani

Fecha: **junio 2011**



t +34 928 451 086 | iuma@iuma.ulpgc.es
f +34 928 451 083 | www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria



Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

**Encapsulado de un sintetizador de frecuencia
para DVB-H en tecnología BiCMOS 0.35 μm**

HOJA DE FIRMAS

Alumno/a: Dailos Ramos Valido Fdo.:

Tutor/a: Dr. Francisco Javier del Pino Suárez Fdo.:

Tutor/a: Dr. Sunil Lalchand Khemchandani Fdo.:

Fecha: junio 2011





Máster en Tecnologías de Telecomunicación



Trabajo Fin de Máster

**Encapsulado de un sintetizador de frecuencia
para DVB-H en tecnología BiCMOS 0.35 μm**

HOJA DE EVALUACIÓN

Calificación:

Presidente:

Fdo.:

Secretario:

Fdo.:

Vocal:

Fdo.:

Fecha:

junio 2011



t +34 928 451 086
f +34 928 451 083

iuma@iuma.ulpgc.es
www.iuma.ulpgc.es

Campus Universitario de Tafira
35017 Las Palmas de Gran Canaria

Agradecimientos

Una vez más se concluye otro periodo de estudios con el que he seguido formándome. Agradezco a todos los que han estado ahí.

Un agradecimiento especial para mis tutores, Sunil y Javier, que siempre están dispuestos a echar una mano cuando se necesita.

A mis compañeros de laboratorio con los que he pasado tantas horas de trabajo. También a los que se encuentran realizando así como a los que han terminado sus trabajos o proyectos fin de carrera y he tenido el placer de conocer.

A mi abuela, tí@s, prim@s, cuñad@s, hermano y sobrino...

A Guaci.

A mis padres.

Índice

CAPÍTULO 1: INTRODUCCIÓN.....	1
1.1. OBJETIVOS	2
1.2. ESTRUCTURA DE LA MEMORIA	2
CAPÍTULO 2: ESTADO DEL ARTE	3
2.1. ESTÁNDAR DVB-H.....	3
2.1.1. Introducción	4
2.1.2. Banda de frecuencia.....	6
2.1.3. Ruido de fase.....	7
2.2. ARQUITECTURA PARA LA CADENA DE RECEPCIÓN	8
2.3. LAZOS ENGANCHADOS EN FASE	9
2.4. SINTETIZADORES DE FRECUENCIA.....	10
2.5. TECNOLOGÍA S35D4.....	11
2.6. ENCAPSULADO.....	12
2.7. RESUMEN.....	14
CAPÍTULO 3: SINTETIZADOR DE FRECUENCIAS CON PADS DE MEDIDA SOBRE OBLEA .	15
3.1. ESPECIFICACIONES DEL SINTETIZADOR	15
3.2. FRECUENCIAS A GENERAR DEL SINTETIZADOR.....	16
3.3. ESTRUCTURA DEL SINTETIZADOR	18
3.4. DISEÑO DEL SINTETIZADOR.....	19

3.4.1.	VCO	20
3.4.2.	Divisor rápido entre dos	21
3.4.3.	Divisor programable.....	26
3.4.4.	Comparador de fase/frecuencia y bomba de carga	32
3.4.5.	Filtro.....	34
3.4.6.	Sintetizador completo.....	35
3.5.	DISTRIBUCIÓN DE PADS DEL SINTETIZADOR	37
3.6.	RESUMEN	40
CAPÍTULO 4: ENCAPSULADO DEL SINTETIZADOR		41
4.1.	INTRODUCCIÓN.....	41
4.2.	EL PACKAGE MODEL	42
4.2.1.	Encapsulados	42
4.2.2.	Pads y ESD	43
4.2.3.	Bondwires	46
4.2.4.	Dots o puntos de soldadura	47
4.3.	SIMULACIONES A NIVEL ESQUEMÁTICO	47
4.4.	SIMULACIONES A NIVEL LAYOUT.....	53
4.4.1.	Layout con pads-ESD	55
4.4.2.	Layout con pads-ESD y encapsulado.....	58
4.4.3.	Layout con pads-ESD, encapsulado y bondwires	58
4.4.4.	Layout con pads-ESD, encapsulado, bondwires y dots.....	60
4.5.	GENERACIÓN DEL ARCHIVO GDS	63

4.6.	DIAGRAMA DE <i>BONDWIRES</i>	63
4.7.	RESUMEN.....	65
CAPÍTULO 5: CONCLUSIONES.....		67
5.1.	RESUMEN.....	67
5.2.	CONCLUSIÓN FINAL	68
BIBLIOGRAFÍA.....		71
ANEXOS		A.I.1

MEMORIA

Capítulo 1

Introducción

Hoy en día la electrónica hubiera sido muy distinta si no se hubiera inventado el transistor. Actualmente la electrónica se basa en circuitos integrados, los cuales han recorrido un gran camino hasta el presente momento mejorando sus prestaciones y reduciendo su nivel de integración, llegando a escalas nanométricas. Finalmente los circuitos se encapsulan.

Un encapsulado es el soporte físico donde se coloca el silicio [1]. Este sirve de protección a los acoplamientos del semiconductor para no exponerlas ni dañarlas con el medio ambiente en el que van a trabajar.

Los circuitos integrados de silicio o *chips* son muy delicados, pudiendo afectar a su funcionamiento incluso una pequeña partícula de polvo o de agua e incluso la luz. Para evitar estos problemas, los *chips* se encuentran protegidos por un encapsulado.

1.1. Objetivos

El objetivo principal de este trabajo fin de máster es encapsular y estudiar el efecto del encapsulado de un sintetizador de frecuencia en tecnología BiCMOS para un receptor para el estándar DVB-H [2], bloque previamente realizado en un proyecto fin de carrera [3]. Para ello se hará uso de la tecnología BiCMOS 0,35 μm suministrada por la empresa AMS (*Austria Micro System*) [4]-[5].

Para la realización de este trabajo fin de máster se definen una serie de tareas que comienzan con un estudio teórico previo del estándar, de la tecnología y del sintetizador que se va a manipular derivando en un análisis de las posibilidades de diseño. Posteriormente se pasa al diseño a nivel tanto de esquemático como de *layout* [6]-[7] de los elementos del encapsulado que se van a incorporar al bloque de partida, un sintetizador de frecuencias. Al final se debe tener un archivo en formato gds para ser mandado a fábrica.

1.2. Estructura de la memoria

Esta memoria ha sido dividida en cinco capítulos. En el presente capítulo se ha intentado dar una visión general sobre qué es un encapsulado y para qué es necesario. También se ha definido el objetivo de este trabajo fin de máster y su ubicación. En el capítulo 2 se describe el estándar DVB-H, así como los parámetros más importantes con los que se van a trabajar. En el capítulo 3 se estudian las partes del sintetizador que se va a utilizar. En el capítulo 4 se describen los pasos realizados para el encapsulado del *chip* así como simulaciones finales. Finalmente en el capítulo 5 se resumen las principales conclusiones de este trabajo fin de máster.

Capítulo 2

Estado del arte

Este capítulo tiene como objetivo definir los conceptos que se deben saber para utilizar el chip de partida propuesto [3]. Para ello, primero se realizará una introducción al estándar DVB-H, seguidamente se analiza la arquitectura que tiene el receptor que busca minimizar el número de componentes para reducir el área total y la obtención del máximo nivel de integración. Se tratan los conceptos de bucle enganchado en fase y de sintetizadores de frecuencia. También se describe la tecnología utilizada en el diseño que es la *S35D4* de AMS para finalmente acabar con los tipos de encapsulados.

2.1. Estándar DVB-H

A continuación se presenta una introducción del estándar DVB-H así como los parámetros más importantes para un sintetizador, la banda de frecuencias y el ruido de fase.

2.1.1. Introducción

Esta tecnología de televisión en el móvil o DVB-H [2] (Figura 2.1) es diferente a los actuales servicios de televisión en el móvil ofrecidos por algunos operadores, ya que actualmente esta señal de televisión llega a los teléfonos móviles de los usuarios mediante un *streaming* de vídeo desde los servidores de los operadores de telefonía.



Figura 2.1. Ejemplo de televisión en el móvil.

Los principales problemas de la sintonización de la televisión en dispositivos portátiles son las baterías del dispositivo, la pérdida en la recepción de la señal y la compatibilidad con el estándar europeo DVB-H, bajo el cual opera la señal conocida como TDT.

Con la adaptación del estándar denominado DVB-H se solucionan los problemas de compatibilidad mediante diferentes mecanismos. Este estándar, aprobado en Europa, es diferente a los utilizados en Japón y Corea. Actualmente otros países están estudiando el incorporarlo a sus normativas.

El estándar europeo DVB-H hace compatible la recepción de la señal de televisión terrestre en dispositivos alimentados con baterías, al introducir el '*time-slicing*', un mecanismo de silencio en la recepción de la señal para ahorrar energía.

DVB-H funciona en el mismo rango de frecuencia que la TDT convencional, no siendo necesario un cambio de infraestructura elevado para las actuales televisiones. Por otra parte, será necesaria la instalación de un mayor número de emisores de DVB-H para dotar de mayor cobertura a diferentes zonas. La calidad de la señal dependerá de la

cobertura de la zona donde se esté y de la resolución que los dispositivos portátiles sean capaces de obtener, aunque los primeros dispositivos que existen en el mercado consiguen una resolución óptima en condiciones normales. El principal inconveniente es la escasez de frecuencias disponibles actualmente, que hará que inicialmente tenga una cobertura limitada.

En la Figura 2.2 se muestra el esquema de un receptor para DVB-H. Como se puede observar, el receptor está compuesto por diferentes bloques de entre los que destaca el sintetizador de frecuencia. Este trabajo trata sobre dicho sintetizador.

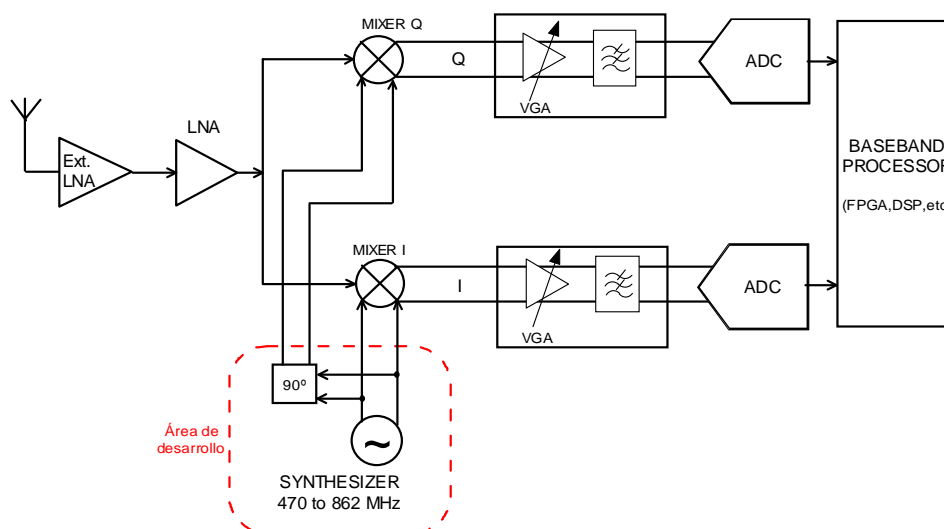


Figura 2.2. Esquema de un receptor de DVB-H.

A continuación se van a enumerar las principales características del estándar DVB-H [2].

- Al estar alimentado el receptor DVB-H por baterías, el emisor debe tener la posibilidad de mandar alguna señal al receptor para que se apague total o parcialmente, de forma que se pueda aumentar la vida de la batería.
- Un receptor DVB-H, al estar en movimiento, debe ser capaz de cambiar de emisor automáticamente y de forma transparente al usuario cuando entre en la celda de cobertura de otro emisor.

- Al poder ser integrado en dispositivos con distintas velocidades de recepción, el transmisor debe tener la escalabilidad y la flexibilidad suficiente para dar cobertura a todos los tipos de receptores.
- El sistema DVB-H debe estar preparado para disminuir los efectos de las interferencias producidas por el cuerpo humano.

En la Figura 2.3 se muestra el diagrama simplificado de un demodulador DVB-H, el cual incluye un demodulador DVB-T. Además de los modos de transmisión (número de portadoras OFDM) 2K y 8K, este demodulador ofrece el modo 4K como solución para conseguir más robustez en la recepción en terminales móviles.

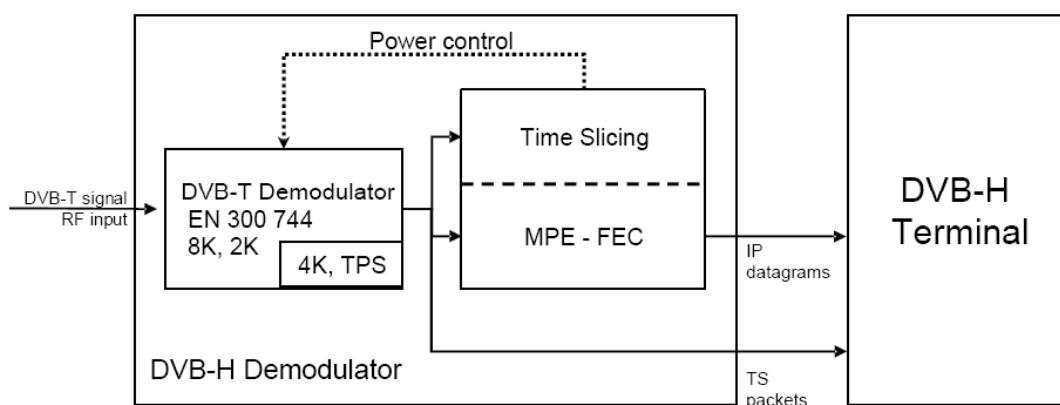


Figura 2.3. Diagrama de un modulador DVB-H.

2.1.2. Banda de frecuencia

DVB-H trabaja en las bandas IV y V de UHF (470 MHz a 862 MHz). En el caso de que se utilice el mismo terminal para DVB-H y GSM 900, la banda de frecuencia se limita de 470 MHz a 702 MHz ($N = 21, \dots, 49$), en otro caso no existirá dicha limitación [8].

La frecuencia central (f_c) de cada canal viene dada por la relación 0. Los canales están separados 8 MHz y el ancho de banda de cada uno es de 7,61 MHz.

$$f_c = 470\text{MHz} + 4\text{MHz} + (N - 21) \cdot 8\text{MHz}, \quad N = 21, \dots, 69 \quad (2.1)$$

2.1.3. Ruido de fase

El ruido de fase del oscilador local limita la selectividad del receptor [9]. El ruido de fase máximo se puede estimar a partir de la señal interferente máxima en el canal adyacente permitida para el peor caso, es decir, para una señal PAL-G no deseada en $N \pm 1$ operando en modo 2K/8K, 16QAM, $C/R = 2/3$ y $GI = All$ [10]. En la Figura 2.4 se puede observar una representación gráfica con los correspondientes valores de sensibilidad y nivel del canal deseado para el patrón S2.

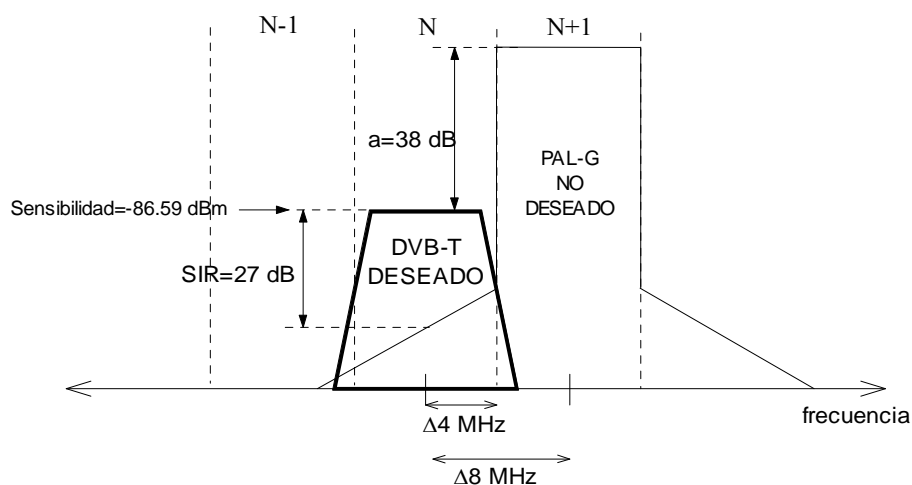


Figura 2.4. Representación gráfica del canal deseado y del no deseado (patrón S2) para el cálculo del ruido de fase.

Se ha elegido un SIR (*Signal to Interferer Ratio*) de 27 dB (5 dB mayor que el peor caso de C/N que es 21,8 dB).

El ruido de fase máximo permitido, según [9], se obtiene como indica 0.

$$PN(4MHz) = P_{señal} - P_{interferente} - SIR - 10 \cdot \log(B) \quad (2.2)$$

Para nuestro caso, el ruido de fase máximo permitido es:

$$\begin{aligned} PN(4MHz) &= -86,59dBm - (-86,59dBm + 38dB) - 27 - 10 \cdot \log(7,61MHz) = (2.3) \\ &= -133,8dBc \end{aligned}$$

Asumiendo que estamos en la parte $1/f^2$ de la curva del ruido de fase según *Leesson*, tenemos una pendiente de -20 dB/dec, lo cual indica que el ruido de fase máximo debe ser:

$$PN(40\text{KHz}) = -94\text{dBc} / \text{Hz} \Rightarrow PN(100\text{KHz}) = -103\text{dBc} / \text{Hz} \quad (2.4)$$

$$PN(400\text{KHz}) = -114\text{dBc} / \text{Hz} \Rightarrow PN(1\text{MHz}) = -123\text{dBc} / \text{Hz} \quad (2.5)$$

$$PN(4\text{MHz}) = -134\text{dBc} / \text{Hz} \Rightarrow PN(10\text{MHz}) = -143\text{dBc} / \text{Hz} \quad (2.6)$$

Se ha decidido tomar un margen de seguridad prudente y proponer así una especificación de ruido de fase de -107 dBc/Hz para un *offset* de 100 KHz.

2.2. Arquitectura para la cadena de recepción

La arquitectura para la cadena de recepción es un receptor de conversión directa o ZERO IF.

Dado que el receptor se va a implementar utilizando transistores bipolares, el consumo de potencia juega un papel importante en la elección de la arquitectura. Dichos transistores pertenecen a la tecnología *SiGe* de $0,35 \mu\text{m}$, y consumen más que los transistores CMOS. Por otro lado, los receptores Weaver y superheterodino poseen un elevado número de componentes. Esto dificulta la integración y el obtener bajos consumos de potencia. Además, un receptor superheterodino obliga a implementar filtros de rechazo de la frecuencia imagen, los cuales no son integrables.

Sin embargo, un receptor de conversión directa o ZERO IF emplea pocos componentes, siendo todos ellos de fácil integración. De la misma forma, los problemas de *self-mixing* que presenta este receptor pueden ser solventados mediante diversas técnicas, tales como el empleo de anillos de guarda. El esquema de bloques de este conversor se puede observar en la Figura 2.5. La conversión a banda base se realiza con una etapa de conversión [11], solventando el problema de la frecuencia imagen.

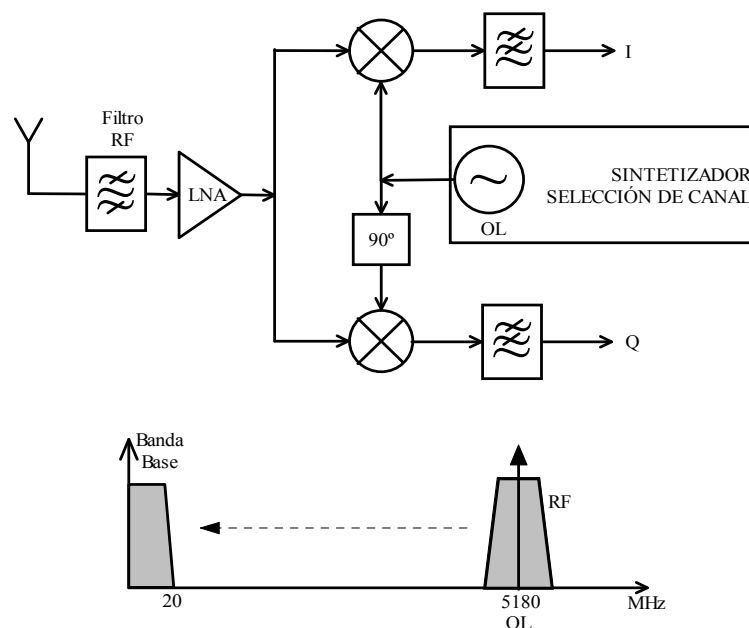


Figura 2.5. Arquitectura de conversión directa o ZERO IF.

2.3. Lazos enganchados en fase

Los lazos enganchados en fase, o PLL (*Phase Lock Loop*), constituyen un subsistema de uso muy extendido en los sistemas de telecomunicación. Se trata de un circuito realimentado de control con el que se intenta conseguir que la fase de un oscilador variable sea una réplica de la fase de la señal de entrada.

Los PLL que se utilizan en este estudio son implementados sobre señales en forma de tensiones o corrientes eléctricas. También pueden encontrarse PLL totalmente digitales en los que las señales son series numéricas en un procesador digital.

Las aplicaciones de los lazos enganchados en fase se basan en que la señal sinusoidal del oscilador de salida siga en fase al oscilador de entrada, todo ello matizado por su efecto de filtrado.

El esquema de bloques de un PLL es el de la Figura 2.6. La fase de salida (Φ_o) se sincroniza con la de referencia (Φ_r) comparándolas en el detector de fase. La tensión obtenida (V_d), una vez filtrada para eliminar las componentes de alta frecuencia (V_c), se aplica al VCO para corregir la posible diferencia de fases. Se puede observar que la

magnitud que se controla es la fase de señal de salida, y que cuando el bucle está enganchado deben coincidir las fases de las señales de referencia y de salida. Dentro de ciertos límites los distintos bloques del PLL se comportan de forma lineal y se pueden describir como elementos ideales.

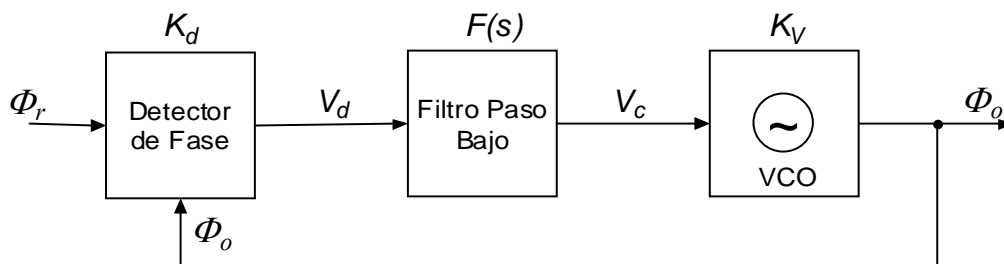


Figura 2.6. Esquema de bloques de un PLL.

2.4. Sintetizadores de frecuencia

En la síntesis de frecuencia se pretende generar un conjunto de frecuencias diferentes, en lugar de una sola como en el caso de un PLL. Se trata del sintetizador propiamente dicho.

La síntesis de frecuencias es el proceso que permite generar una señal de frecuencia concreta, con un valor que puede escogerse de entre un conjunto de valores discretos con precisión y pureza espectral, partiendo de uno o varios osciladores patrones de alta calidad.

El método más utilizado de síntesis de frecuencia es el que trabaja con un PLL y divisores de frecuencia, pues es un sistema muy sencillo y permite obtener alta calidad en las frecuencias originadas.

La calidad de un sintetizador se mide a través de diversos factores, como son la precisión de la frecuencia sintetizada, que depende fundamentalmente de la precisión de los osciladores patrones, el tiempo de conmutación entre frecuencias, el ruido de fase de la salida y la presencia de otras señales espurias [12]-[13]. Estas dos últimas características dependen de la estructura del sintetizador.

El esquema más básico de sintetizador con PLL es el de la Figura 2.7. La diferencia con un PLL simple es la presencia de un divisor de frecuencia que se puede ver como un contador digital entre el VCO y el detector de fase. El enganche se produce, como ya se sabe, cuando las frecuencias en el detector de fase son iguales, por lo tanto en ese caso la frecuencia en el VCO debe ser $f_o = N \cdot f_r$, y el conjunto actúa como un multiplicador de frecuencias.

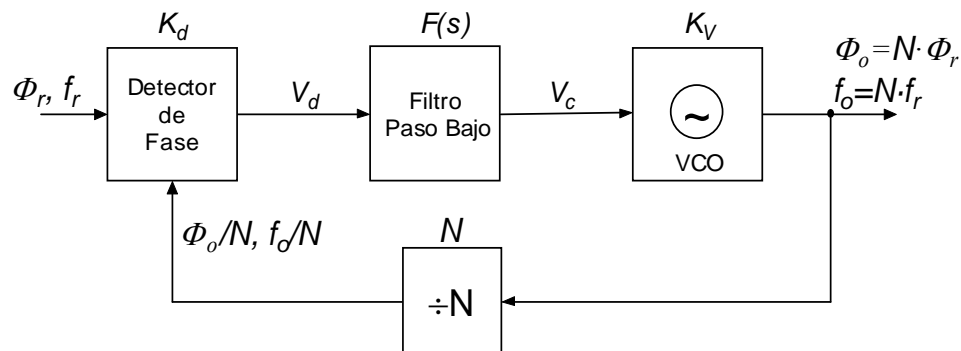


Figura 2.7. Sintetizador básico basado en PLL.

Dado que es fácil realizar divisores de frecuencia con factores muy elevados (sólo basta con conectar en cascada varios divisores de frecuencia) el valor de N puede ser tan grande como se quiera. Así, no son infrecuentes factores del orden de 1000 o superiores. Pueden utilizarse factores mucho más altos, pero el funcionamiento del sintetizador en cuanto al ruido se degrada mucho. Si además el factor N puede cambiarse con unas entradas de control se puede seleccionar la frecuencia de salida de entre un conjunto de ellas programando el valor de N .

2.5. Tecnología S35D4

La tecnología *S35D4* de AMS [3]-[4] consta de cuatro metales siendo la última capa de metal de espesor y conductividad mayor a efectos de mejorar el factor de calidad de los inductores integrados. En cuanto a los dispositivos activos, consta de transistores bipolares de heteroestructura (HBT) y MOSFET, siendo la longitud de puerta mínima de $0,35 \mu\text{m}$. Así mismo la tecnología ofrece librerías de componentes pasivos.

En la Figura 2.8 podemos ver las distintas capas de las que se compone la tecnología S35D4 de AMS.

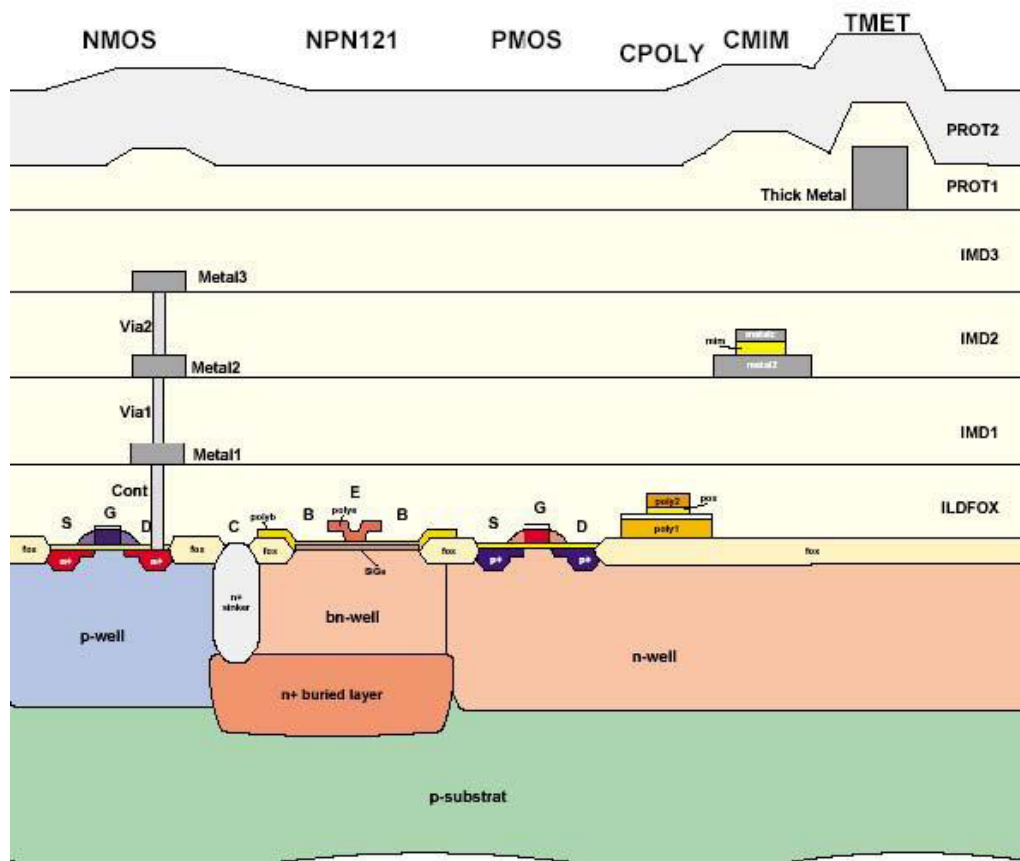


Figura 2.8. Capas de la tecnología S35D4 de AMS.

2.6. Encapsulado

Los circuitos integrados son componentes electrónicos compuestos por un chip. Dentro de estos chips se encuentran los componentes electrónicos necesarios para realizar una función específica. Estos chips normalmente están encapsulados bajo distintas formas y tamaños dependiendo de la función que vayan a desempeñar.

Las funciones del encapsulado principalmente son:

- Influencias ambientales: la humedad y el polvo en el aire son causas directas de defectos en los dispositivos semiconductores, además de las vibraciones

y los golpes. La iluminación y los imanes también pueden causar mal funcionamiento.

- **Conectividad eléctrica:** permiten la fijación de conductores metálicos denominados pines o esferas de soldadura permitiendo la salida y entrada de las señales al dispositivo semiconductor.
- **Disipar el calor:** los chips de silicio se calientan durante el funcionamiento. Si la temperatura del chip se eleva hasta valores demasiado alto, el chip funcionara mal, se desgastara o se destruirá dependiendo del valor de temperatura alcanzado. Los encapsulados pueden liberar efectivamente el calor generado.
- **Manejo y montaje:** debido a que los chips de silicio en sí son tan pequeños y delicados, no pueden ser fácilmente manipulados, y realizar un montaje en esa pequeña escala es difícil. Colocar el chip en una cápsula hace que sea más fácil manejar y de montar en placas de circuitos impresos.

Existen 2 clasificaciones generales para lo encapsulados, según contengan circuitos integrados o componentes discretos, encapsulados IC y encapsulados discretos respectivamente. Los tipos de encapsulados más habituales se muestran en la Tabla 2.1.

Tabla 2.1. Tipos de encapsulados

IC		Discreto		
Inserción	Superficial	Inserción	Superficial	
DIP	SOP	SP-8	SC-59	TO-252
SIP	TSOP	SST	SC-62	TO-263
PGA	QFP	TO-3	SC-70	HVSON
	SOJ	TO-92	SC-74	HWSON
	QFJ	TO-126	SC-75	XSOFF
	QFN	TO-220	SC-84	SOP8

	TCP	TO-220AB	SC-88	TSSOP
	BGALGA	TO-251	SC-89	MLP
			SC-95	EFLIP

2.7. Resumen

En este capítulo se ha dado una descripción detallada del estándar DVB-H, prestando especial atención a las características técnicas en cuanto a un sintetizador como son el ruido de fase y la banda de frecuencias. Se ha hecho un estudio del receptor que se va a utilizar, implicando esta elección una mayor integración y un menor consumo de área y potencia. Seguidamente se realiza un estudio teórico de los conceptos sobre PLLs y de los sintetizadores de frecuencias. Finalmente se presenta la tecnología utilizada e información sobre encapsulados.

En el próximo capítulo se hace referencia al sintetizador que se va a modificar para encapsularlo.

Capítulo 3

Sintetizador de frecuencias con *pads* de medida sobre oblea

Este capítulo muestra el diseño del sintetizador el cual se va a modificar para encapsularlo. En este se resumen las características del sintetizador que se va a utilizar [3].

3.1. Especificaciones del sintetizador

Debido a los parámetros fundamentales para la obtención de un VCO para el estándar DVB-H [3], el sintetizador debe cumplir también estas especificaciones. En la Tabla 3.1 se resumen las prestaciones del sintetizador.

Tabla 3.1. Especificaciones para el sintetizador

Frecuencias a generar	$470 \text{ MHz} + 4 \text{ MHz} + (N-21) \cdot 8 \text{ MHz}; \quad N=21, \dots, 69$
Ruido de fase	-107 dBc/Hz para un offset de 100 KHz

3.2. Frecuencias a generar del sintetizador

Las frecuencias a generar por el sintetizador para el estándar DVB-H se muestran en la Tabla 3.2. Estas frecuencias son las específicas del estándar DVB-H [2].

Tabla 3.2. Frecuencias a generar por el estándar DVB-H

Banda (MHz)	f_c (MHz)	Número de canal (n_{ch})
Bandas IV y V de UHF (470 - 862)	474	21
	482	22
	490	23

	842	67
	850	68
	858	69

Hay que tener en cuenta que el VCO que vamos a utilizar duplica la banda de UHF situándola de 940 MHz a 1724 MHz, por lo tanto, las frecuencias a generar por nuestro sintetizador son el doble de las del estándar DVB-H (ver Tabla 3.3).

La arquitectura del receptor a utilizar va a ser la de conversión directa, entonces tenemos que la frecuencia central de cada canal generado por el sintetizador será igual a la frecuencia de salida del sintetizador (f_o). La frecuencia central de cada canal a generar para el estándar (f_c) será la mitad de la frecuencia de salida del sintetizador, para ello tendremos que dividir la frecuencia de salida del sintetizador por dos para tener la que necesitamos en nuestro estándar.

Tabla 3.3. Frecuencias a generar por el sintetizador

Frecuencia de salida del sintetizador f_o (MHz)	Frecuencia para el estándar DVB-H = Frecuencia de salida del divisor rápido $f_o/2 = f_c$ (MHz)
948	474
964	482
980	490
996	498
1012	506
1028	514
1044	522
1060	530
1076	538
1092	546
1108	554
1124	562
1140	570
1156	578
1172	586
1188	594
1204	602
1220	610
1236	618
1252	626
1268	634
1284	642
1300	650
1316	658
1332	666
1348	674
1364	682
1380	690
1396	698
1412	706
1428	714
1444	722
1460	730

1476	738
1492	746
1508	754
1424	762
1540	770
1556	778
1572	786
1588	794
1604	802
1620	810
1634	818
1652	826
1668	834
1684	842
1700	850
1716	858

3.3. Estructura del sintetizador

Las frecuencias a generar por nuestro sintetizador son el doble de las del estándar DVB-H debido al VCO que utilizamos (Tabla 3.3). Por esta razón tendremos que dividir la frecuencia de salida del sintetizador entre dos, para así obtener la necesaria en nuestro estándar.

La frecuencia de salida es elevada para ser dividida por un divisor programable (de 948 MHz a 1716 MHz), por lo que la estructura utilizada para el sintetizador combina un divisor fijo rápido y un divisor programable. Este divisor rápido divide por dos, lo cual, es interesante en nuestro diseño porque la frecuencia de salida del sintetizador hay que dividirla entre dos para obtener la frecuencia central necesaria en nuestro estándar, consiguiéndola a la salida de este elemento.

En un sintetizador normalmente se coge una frecuencia de referencia igual al salto del canal (habitualmente, $f_o = N \cdot f_r$ en una estructura de sintetizador con divisor programable), pero como vamos a realizar una estructura que combina un divisor fijo

(entre dos) y otro divisor de doble módulo, la frecuencia de referencia (f_r), será de la forma: $f_o = N_f \cdot N_p \cdot f_r$, siendo N_f el factor de división del fijo y N_p el factor del divisor de doble módulo. Como norma general es conveniente utilizar frecuencias lo más altas posibles para facilitar el filtrado antes de que lleguen al VCO.

La frecuencia de referencia se establece realizando cálculos numéricos con el bloque del divisor programable N_p junto al divisor rápido por dos y obtener un número entero. Ésta la fijamos en 2 MHz realizando los cálculos oportunos con los valores de los divisores del diseño.

La estructura a utilizar es la de un sintetizador con un detector de fase/frecuencia digital más una bomba de carga combinando un divisor fijo rápido y un divisor programable, ver Figura 3.1. La salida para el estándar DVB-H será después del divisor rápido ($f_o/2 = f_c$).

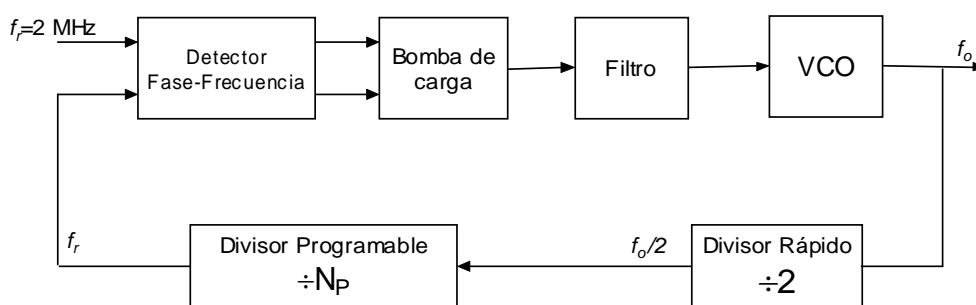


Figura 3.1. Esquema básico del sintetizador utilizando un detector de fase/frecuencia más bomba de carga.

3.4. Diseño del sintetizador

Este apartado trata los esquemáticos de todos los bloques que se va a utilizar en este trabajo así como del sintetizador completo que será modificado para la incorporación del encapsulado.

3.4.1. VCO

El *layout* del VCO se ha recuperado de un proyecto fin de carrera ya presentado, por lo que se incorpora a nuestro directorio de trabajo [14]. El VCO es la parte más importante del sintetizador y es el encargado de generar las frecuencias del oscilador local.

La arquitectura elegida ha sido la de oscilador LC. En un oscilador LC la frecuencia de oscilación viene determinada por un circuito tanque que idealmente está formado por una bobina y un condensador. Un factor importante a tener en cuenta es que como se trata de un oscilador hay que ponerle una condición inicial para que arranque. El esquemático de VCO se puede ver en la Figura 3.2.

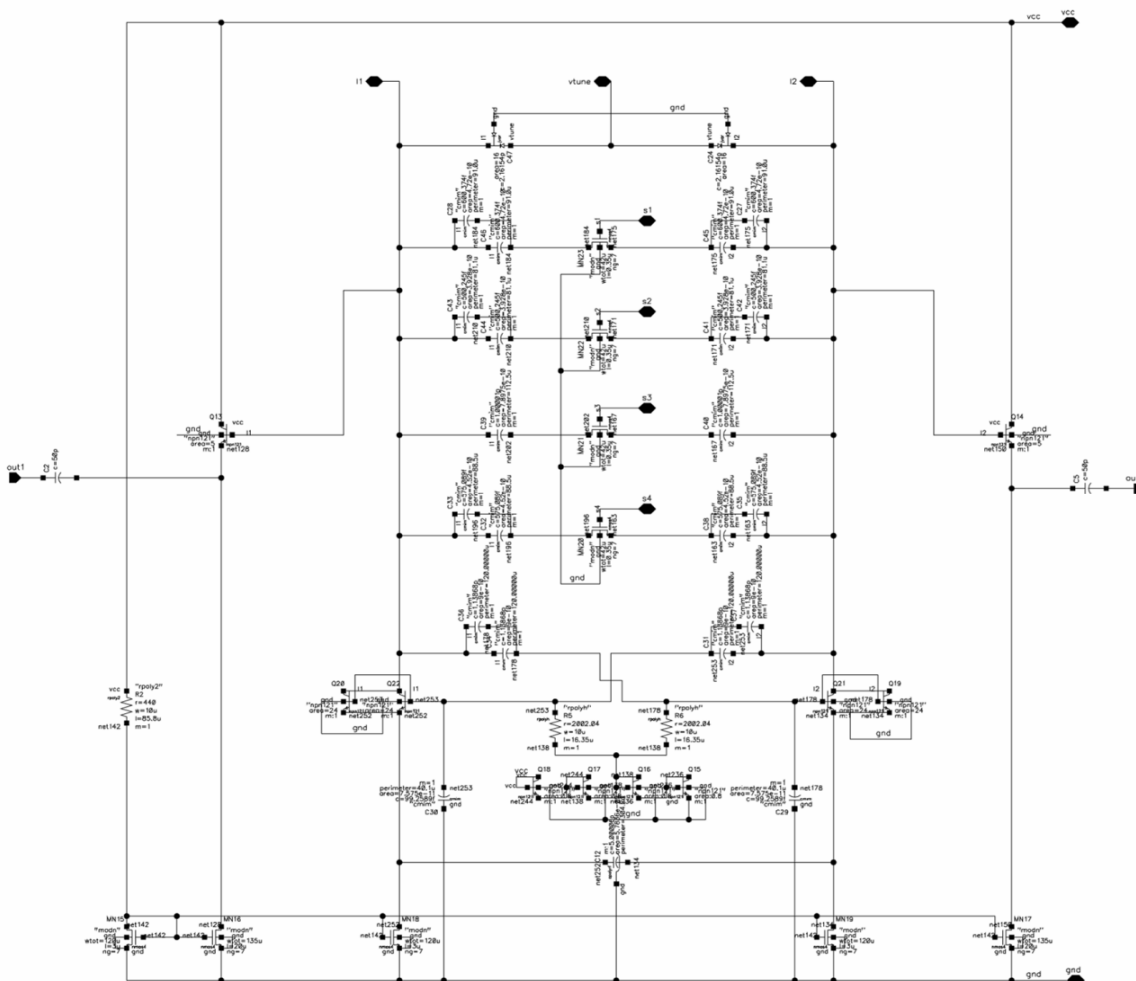


Figura 3.2. Esquemático en Cadence del VCO.

3.4.2. Divisor rápido entre dos

A este bloque se le asocian seis partes diferentes, un primer bloque que establece un nivel de continua, una fuente de corriente de 0,15mA, un *buffer* de RF, otra fuente de corriente de 0,75mA, el divisor entre dos con *latches* y un *buffer* de salida.

3.4.2.1. Nivel de continua

El primer bloque (ver Figuras 9.3) se usa para quitarle a la salida del VCO un posible nivel de continua que puede ser distinto según la frecuencia de salida y poner un nivel de continua conocido.

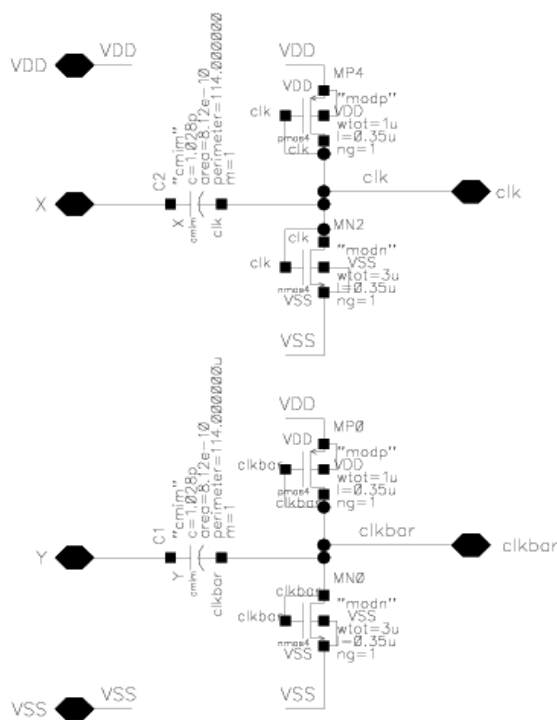


Figura 3.3. Esquemático en Cadence de adaptación de nivel de continua.

3.4.2.2. Fuente de corriente 0,15mA

Esta parte es necesaria para el siguiente bloque, el *buffer* de RF. La corriente de polarización (*bias*) que se ha de suministrar para el punto en continua puede ser crítico en el diseño del funcionamiento y operación de las demás partes. Una estructura que se puede usar es la de *master bias cell*. La resistencia se ajusta para que circule una determinada

corriente por esa rama y por medio de un espejo de corriente se traslada la corriente que deseas trasladar. La resistencia al ser de tipo *nwell* posee un alto coeficiente de temperatura, disminuyendo la variación con los cambios de temperatura. De todas formas se incluye una fuente de referencia que es proporcional a la temperatura absoluta (PTAT) y otro circuito inversamente proporcional crea una corriente de referencia que es independiente de la temperatura.

El esquemático se ve en la Figura 3.4. La corriente de salida proporcionada es de 0,15mA.

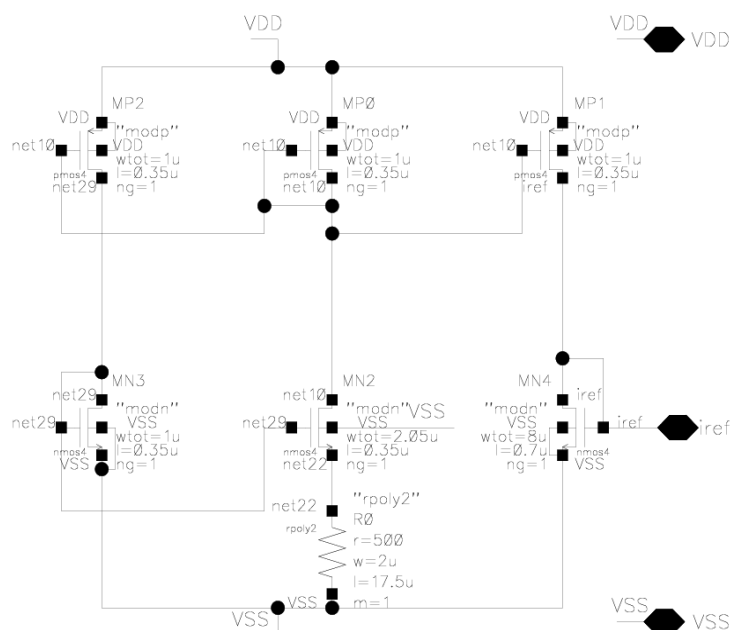


Figura 3.4. Esquemático en *Cadence* de la fuente de corriente de 0,15mA.

3.4.2.3. Buffer de RF

Consta de una etapa de *buffer* RF amplificando la señal que da el VCO puesto que esta es de baja amplitud para poder atacar al divisor.

Debido a las dimensiones de los transistores que ocupan demasiada longitud, se opta por incrementar el número de dedos a cada uno de los transistores, disminuyendo así considerablemente su longitud y evitando que se produjesen resistencias parásitas en el polisilicio. En la Figura 3.5 se muestra el esquemático del *buffer* RF.

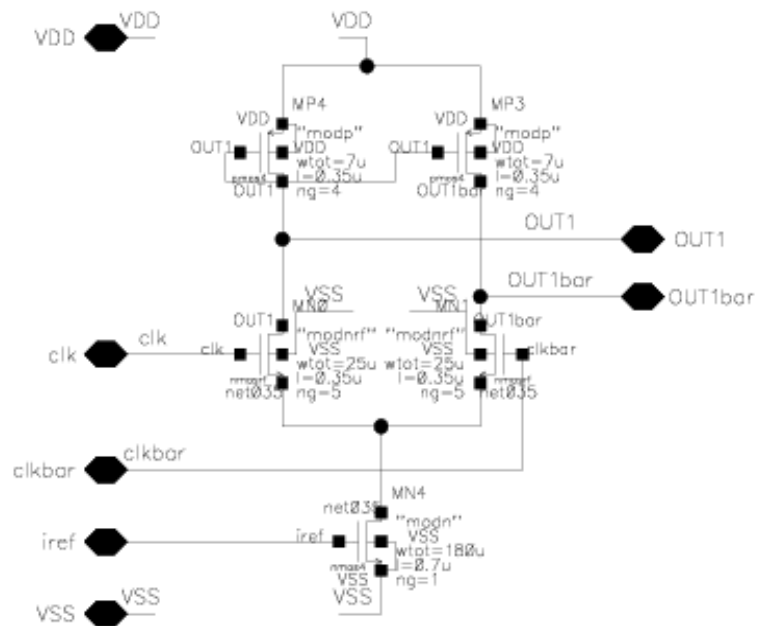


Figura 3.5. Esquemático en Cadence del Buffer RF.

3.4.2.4. Fuente de corriente 0,75 mA

En la Figura 3.6 se ve el esquemático de la fuente de corriente de 0,75mA necesaria para aplicarla al divisor entre dos.

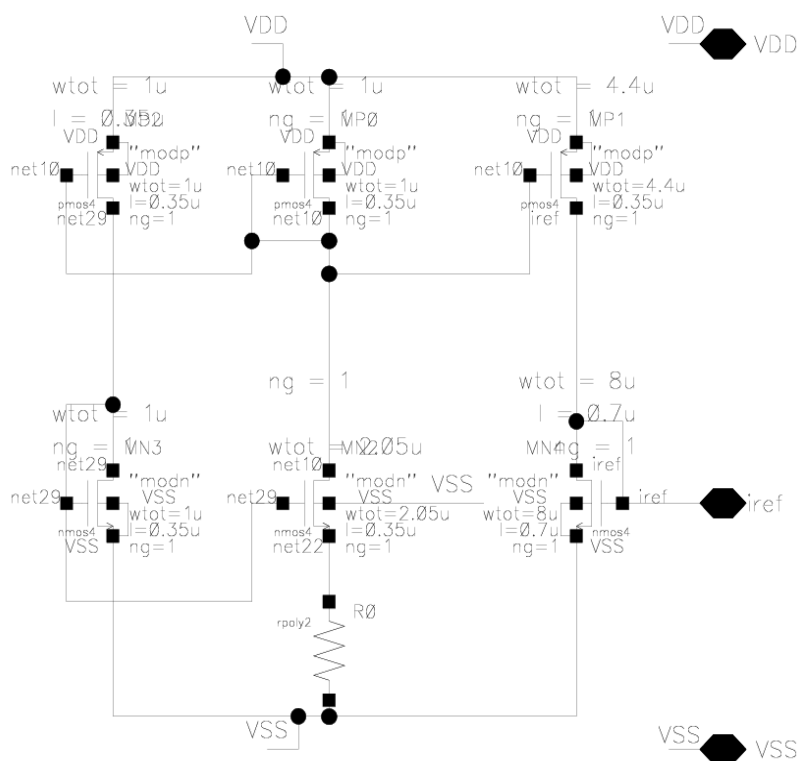


Figura 3.6. Esquemático en *Cadence* de la fuente de corriente de 0,75mA.

3.4.2.5. Divisor entre dos con latches

Después del VCO, ésta es la parte más difícil de diseñar del sintetizador, ya que aquí la frecuencia de funcionamiento es muy elevada y no lo podemos atacar con simples divisores digitales. Si usáramos celdas estándar CMOS, el retardo de los *flip-flops* sería el cuello de botella del funcionamiento del sistema. No olvidemos que el objetivo es conseguir un divisor rápido que sea capaz de dividir nuestro rango de frecuencias que van entre los 1 y 2 GHz aproximadamente.

Por otra parte, si la división por dos se realiza antes del divisor digital, se reduce el número de bits del mismo, reduciendo con ello el ruido de cuantización. La posibilidad que vamos a estudiar es el divisor rápido CML.

La implementación del divisor será con *flip-flop* en configuración *master-slave*. Las señales de reloj deben estar al *duty cycle* del 50%. En nuestro caso la señal de reloj la dará la salida del VCO. Esta salida es del doble de la frecuencia a generar para el estándar y

además es del *duty cycle* del 50% por lo que esta estructura es la que vamos a utilizar en el diseño.

El esquemático del divisor entre dos se puede ver en la Figura 3.7. El *layout* se ha realizado lo más compacto posible y con el menor cruce posible de pistas. También se introdujo un plano de masa para intentar reducir parásitos en este bloque ya que es una parte delicada.

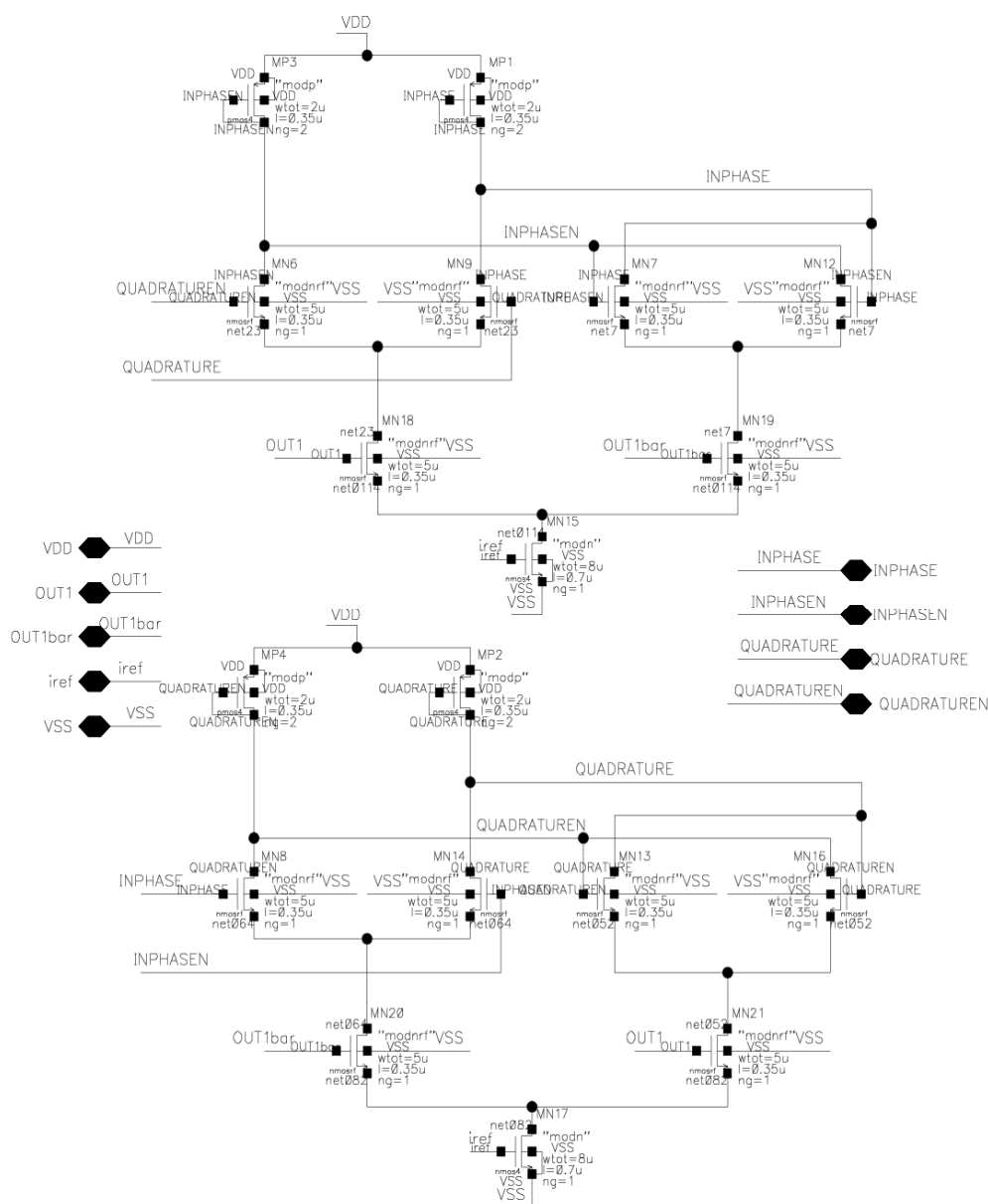


Figura 3.7. Esquemático en Cadence del divisor entre dos CML con cargas activas.

3.4.2.6. Buffer de salida

La etapa del divisor por dos no es óptima para dar por ella misma potencia de salida por lo que si la cargamos demasiado no realizaría su propósito de divisor. Es necesaria una etapa de *buffer* para cada señal diferencial, en fase y en cuadratura. El esquemático del buffer de salida se ve en la Figura 3.8.

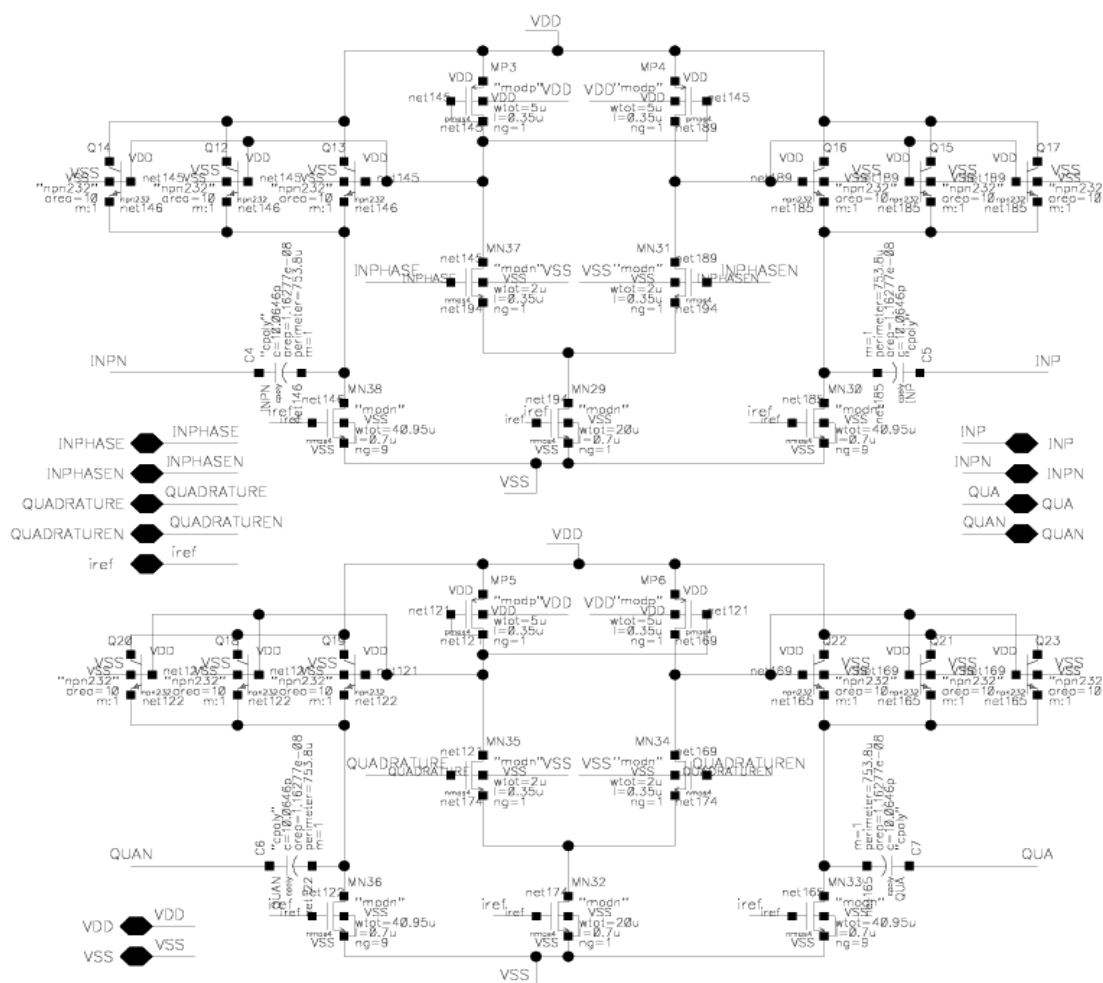


Figura 3.8. Esquemático en Cadence de los buffers de salida.

3.4.3. Divisor programable

A este bloque podemos asociarle cuatro partes diferentes, el de adaptación de nivel lógico, el del divisor 5/4, el *buffer* de señal de reloj y el del divisor de baja frecuencia.

3.4.3.1. Buffer adaptador al bloque divisor programable

Hace falta una adaptación de los niveles lógicos en cuanto a los que suministran el divisor entre dos y los que necesita el divisor 5/4. Esta clase de divisor necesita de una entrada de reloj de tipo asimétrica y no diferencial como tenemos después del *buffer* de salida. Hay que tener en cuenta no cargar los *latch* del divisor. Se suele denominar con el nombre de D2SE (*differential to single-ended*). La estructura a usar es un convertor de CML a CMOS. Consta de una etapa diferencial donde una rama tiene un transistor en forma de carga activa. A la otra rama se le incorpora también un transistor con el que se fija el nivel máximo de excursión a su salida. La salida del diferencial se reconstruye con una etapa de inversor para tener una señal limpia en forma de señal digital. El esquemático se ve en la Figura 3.9.

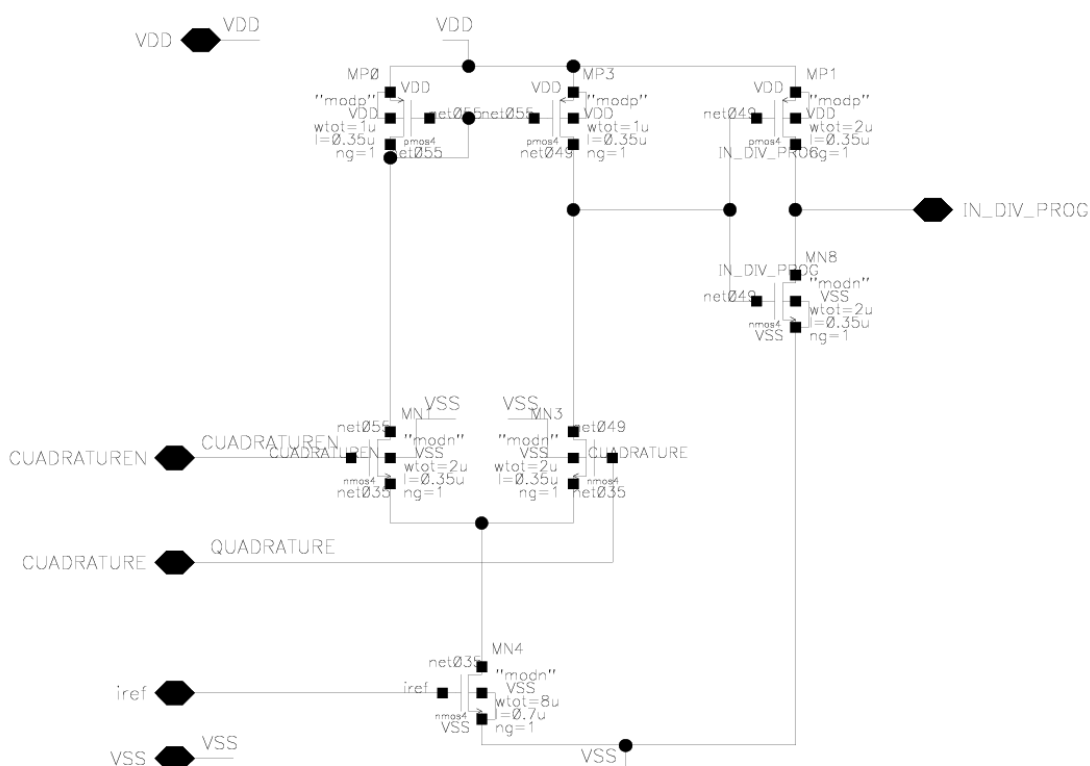


Figura 3.9. Esquemático en *Cadence* del convertor de CML a CMOS.

3.4.3.2. Prescaler 5/4

Este bloque es un *prescaler* rápido 5/4 síncrono. Tiene una entrada de reloj (*C*), una entrada de control para el cambio de división (*MODE*), dividiendo por 4 o por 5 mediante

el estado lógico en que se encuentre (por 4 si $MODE=1$ y por 5 si $MODE=0$). La salida es la señal $OUT4_5$.

En este bloque se ha decidido incorporar un árbol de reloj para suministrar una señal suficientemente fuerte a cada *flip-flop* del bloque como se ve en la Figura 3.10. El árbol de reloj consta de un primer inversor el cual se conecta su entrada a la salida del conversor CML a CMOS, y su salida ataca a la entrada de tres inversores. La salida de estos tres inversores actúa como señal de reloj de cada uno de los *flip-flops*.

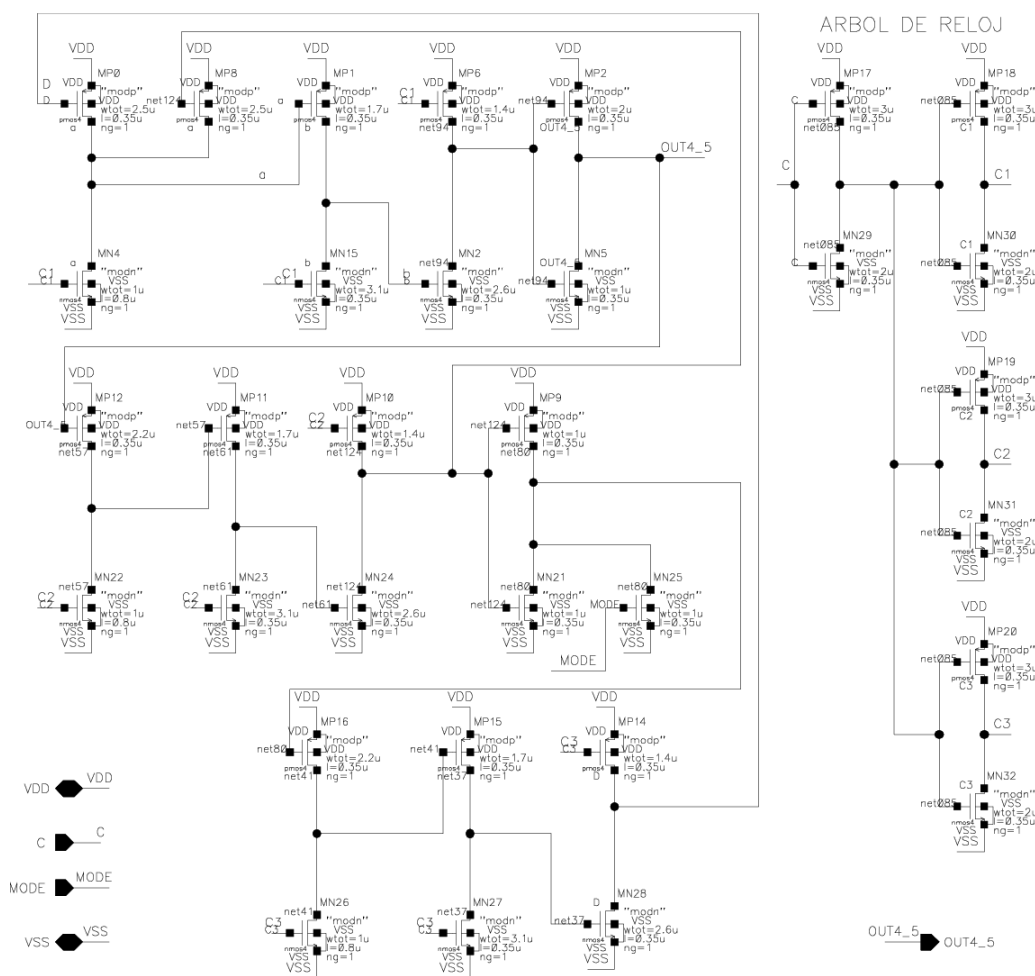


Figura 3.10. Esquemático en Cadence del Prescaler 5/4.

3.4.3.3. Buffer de reloj para el divisor de baja velocidad

Esta parte se introduce en el diseño porque se comprueba que si ponemos directamente la señal de salida del bloque del divisor 5/4 a la entrada del divisor

programable de baja velocidad, esta primera se deteriora. Por lo tanto, se ponen dos inversores en serie donde se dimensiona considerablemente cada uno para poder atacar a la señal de reloj de todas las puertas del divisor programable de baja velocidad, ya que éste tiene bastante lógica asociada. En la Figura 3.11 se ve el esquemático del *buffer 1*, y en la Figura 3.12 el esquemático del *buffer 2*.

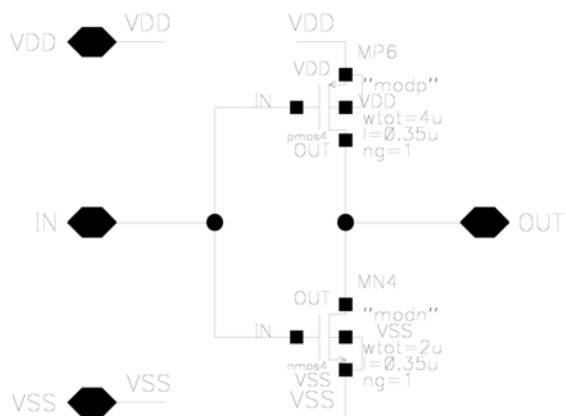


Figura 3.11. Esquemático en Cadence de inversor *buffer 1*.

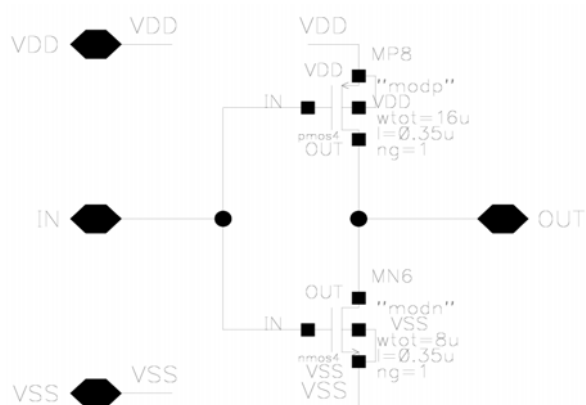


Figura 3.12. Esquemático en Cadence de inversor *buffer 2*.

3.4.3.4. Divisor programable de baja velocidad

El divisor programable de baja velocidad se realizó con herramientas CADs. El diseño tiene una señal de entrada de reloj, *clk*, y una señal de reseteo, *rst_n*. También tiene dos señales de control, *divsel_0* y *divsel_1*, que controlan tanto el valor de división como la sub-banda que va a seleccionarse, y la salida denominada *clkout*. La Tabla 3.4 muestra tanto el valor de división como los *switches* de selección para seleccionar la sub-banda correspondiente.

Tabla 3.4. Valores de la señal de control, los *switches* para cambiar de sub-banda el VCO y el valor de división del divisor programable de baja velocidad

Sub-banda	divsel_0	divsel_1	S1	S2	S3	S4	N _p
Sub-banda4	0	0	1	1	1	0	114
Sub-banda3	0	1	1	1	0	0	130
Sub-banda2	1	0	1	0	0	0	138
Sub-banda1	1	1	0	0	0	0	170

Finalmente se obtiene un fichero en formato gds. Se importa y se carga en *Cadence*. Para hacer el *layout versus* esquemático se tuvo que incorporar al esquemático los pines de *vdd!* y *gnd!*, ya que no lo tenía cuando importamos el gds generado. En la Figura 3.13 se puede observar la lógica con puertas estándar generada automáticamente por las herramientas.

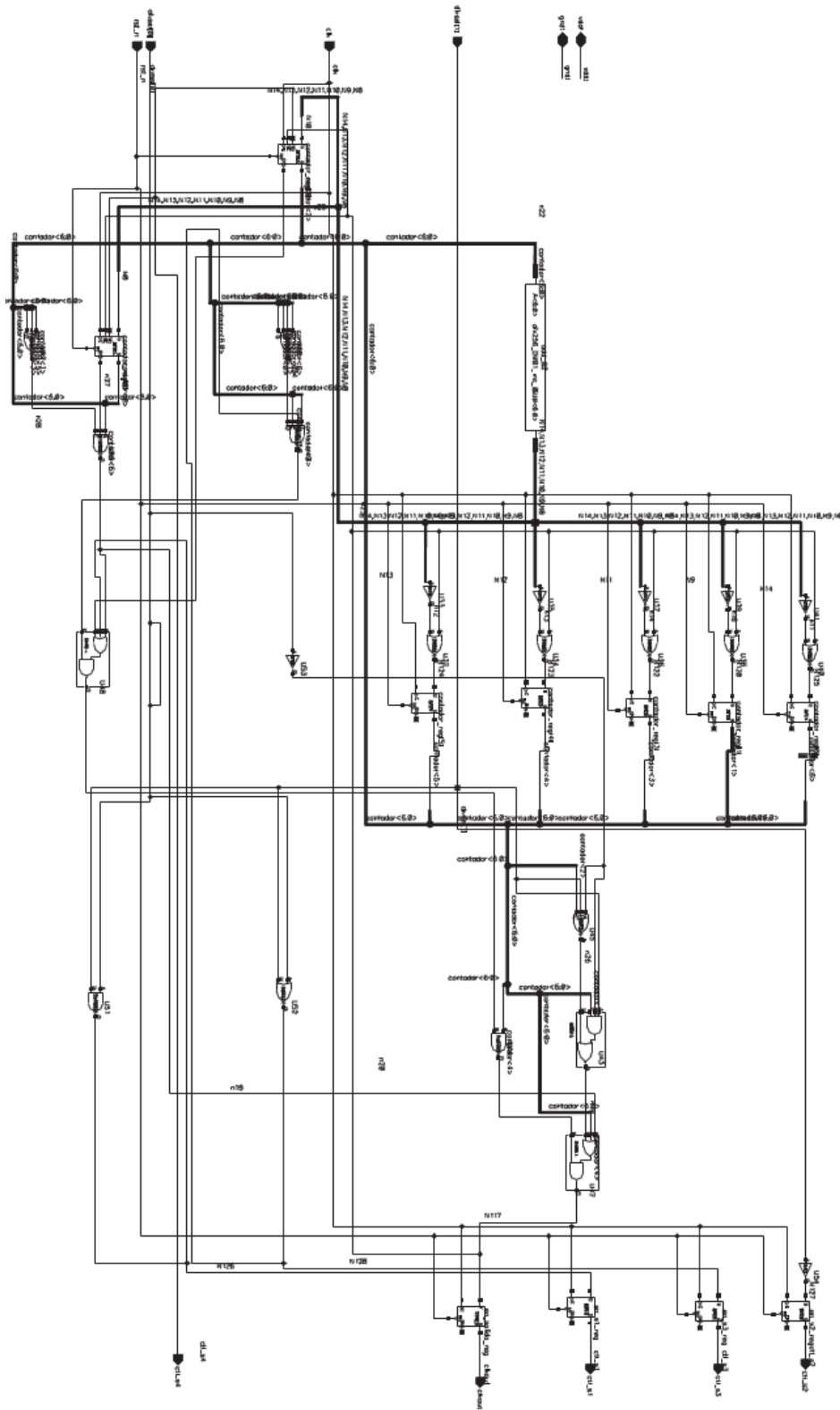


Figura 3.13. Esquemático en Cadence del divisor programable de baja velocidad.

3.4.4. Comparador de fase/frecuencia y bomba de carga

Se implementa cada elemento por separado, primero el comparador y luego la bomba de carga. Finalmente se unen para comprobar su correcto funcionamiento.

3.4.4.1. Comparador de fase/frecuencia

El comparador de fase/frecuencia consta de puertas NAND2, NAND3, NAND4 y básculas RS realizadas con NAND2. Con esta estructura disponemos de dos salidas que no están activas simultáneamente. Si la entrada es diferente a la de referencia actúa una salida u otra. Cuando alcanzamos el equilibrio y son iguales, las salidas estarán inactivas permaneciendo en estado alto.

Al poseer básculas RS, la característica de transferencia de este comparador es independiente de las relaciones cíclicas de las señales de entrada, pues los estados de salida de la báscula cambian con las transiciones de entrada. Ésta es una característica que nos interesa. La función de transferencia de este comparador es lineal, entre -2π y $+2\pi$, debido a que entre -2π y 0 actúa la salida DI , y entre 0 y $+2\pi$ la salida UI . El esquemático se ve en la Figura 3.14.

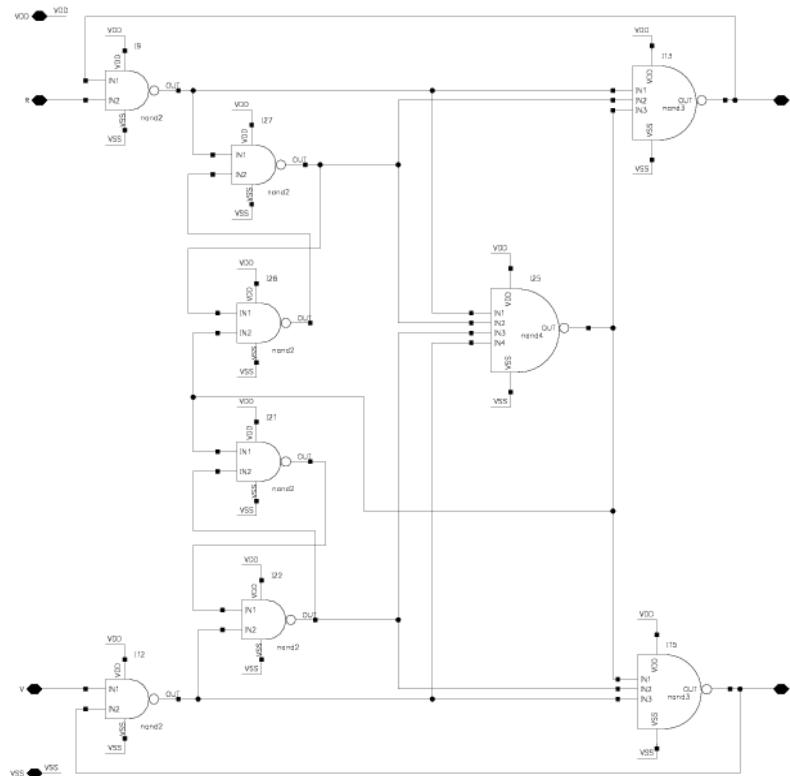


Figura 3.14. Esquemático en Cadence del PFD.

3.4.4.2. Bomba de carga

La bomba de carga consiste en una pareja de fuentes de corriente con interruptores manejando la carga de un condensador. Ésta proporciona una ganancia para una diferencia de fase en la entrada del dispositivo. Cuando los pulsos se inyectan por *UP*, la fuente de corriente introducirá carga en el condensador, y la tensión de la salida se incrementará. Si por el contrario los pulsos vienen desde *DOWN*, la carga del condensador fluirá a tierra. Ésta consiste en simples conmutadores realizados con transistores, los cuales inyectarán o extraerán corriente a su salida. La bomba de carga se muestra en la Figura 9.15.

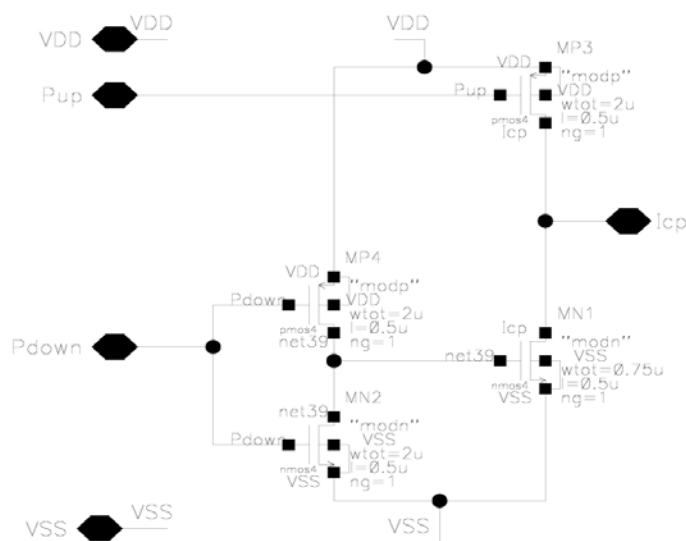


Figura 3.15. Esquemático en Cadence de la bomba de carga.

3.4.4.3. Comparador de fase/frecuencia más la Bomba de carga

Una vez realizados los dos elementos se unen en un bloque. El esquemático se ve en la Figura 3.16.

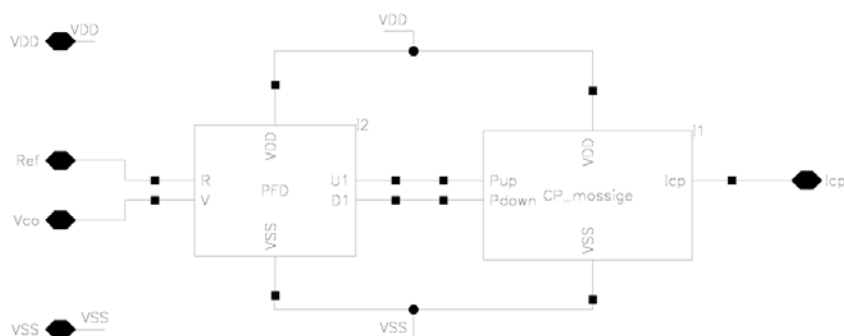


Figura 3.16. Esquemático en Cadence del PFD unido a la bomba de carga.

3.4.5. Filtro

El filtro de bucle es el elemento principal a considerar cuando se pretende analizar la estabilidad del lazo. Una vez diseñados los principales elementos del PLL, como la bomba de carga o el oscilador principalmente, la estabilidad del PLL se puede asegurar sólo con los parámetros del filtro.

El filtro que se ha implementado es para un PLL tipo 2 debido a que dichos PLL poseen un error de fase y de frecuencia igual a cero.

Este bloque se incorpora como elementos externos en el esquemático que se va a simular, puesto que se trata de componentes externos por los altos valores de las capacidades. Los componentes del filtro se ven en la Figura 3.17.

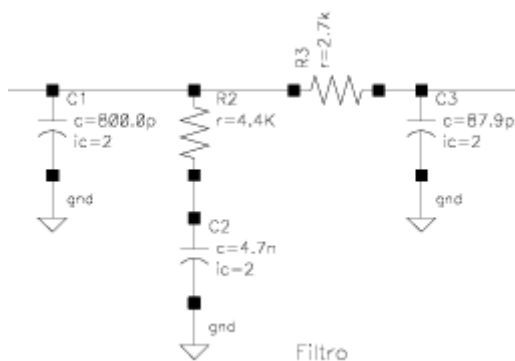


Figura 3.17. Esquemático en Cadence del filtro.

3.4.6. Sintetizador completo

El bloque del sintetizador completo se realiza con todas las partes anteriormente expuestas. El bloque de esquemático comprende todos los esquemáticos por separado unidos de forma adecuada (ver Figura 3.18).

El bloque del divisor programable de baja velocidad contiene las redes de alimentación y masa (*nets*) con nombres globales de *vdd!* y *gnd!*. En los diseños de los bloques anteriores se habían puesto estas alimentaciones como *VDD* y *VSS* pero encontramos un error insalvable cuando se pretende unirlos y se intenta guardar el diseño. La solución es fácil, hay que renombrar las *nets* donde teníamos los antiguos nombres de las alimentaciones y ponerle los de las globales, *vdd!* y *gnd!*.

En el diseño se ponen como entradas y salidas todas las señales posibles para verificarlas en la simulación pero en realidad todas estas no van a ser entradas y salidas de nuestro circuito real.

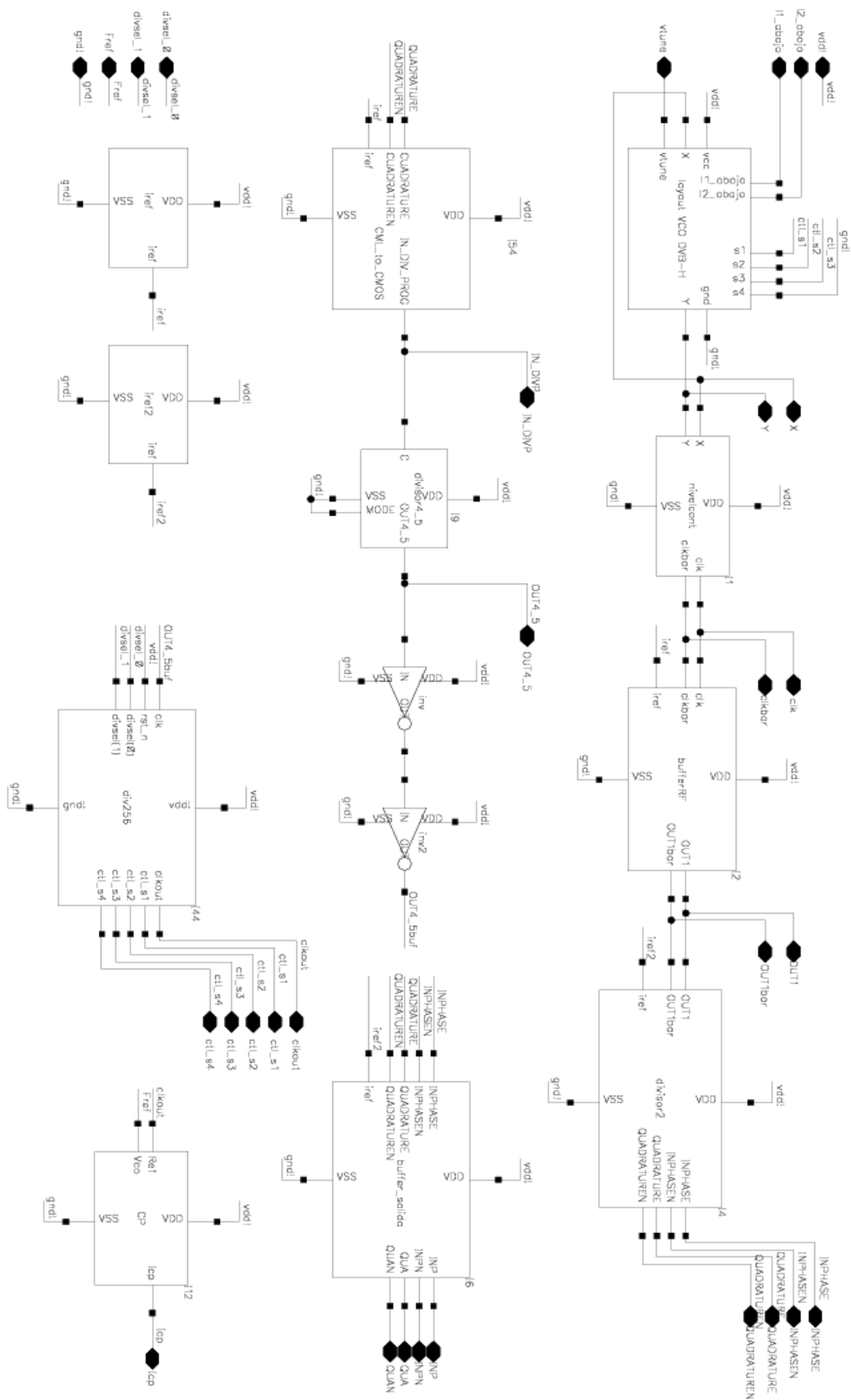


Figura 3.18. Esquemático en Cadence del sintetizador.

El *layout* del sintetizador se puede observar en la Figura 3.19.

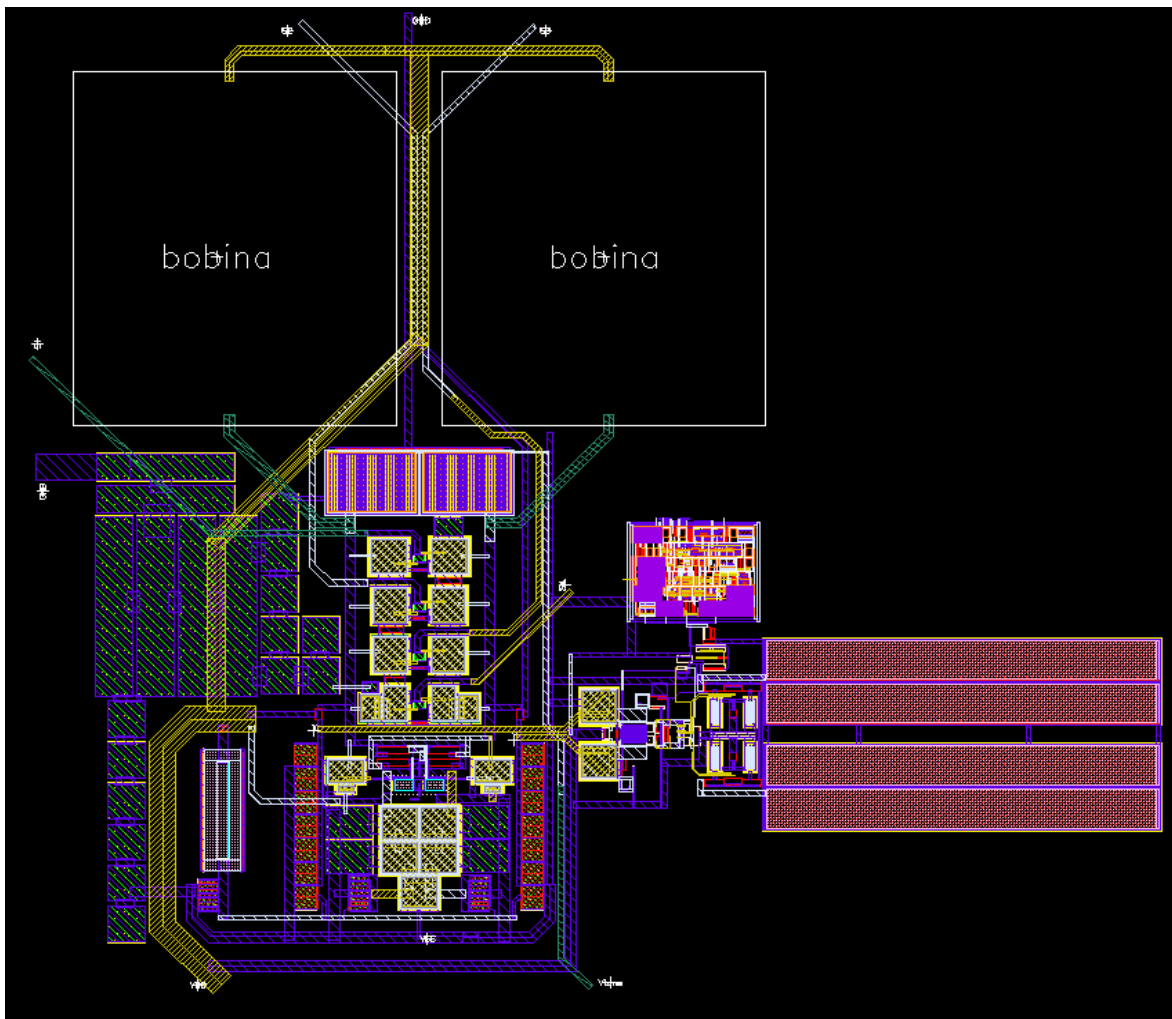


Figura 3.19. *Layout* del sintetizador.

3.5. Distribución de *pads* del sintetizador

En la Figura 3.20 se muestra la distribución de las puntas de prueba tomadas para el diseño. Como se puede observar, las puntas que se usan en la medida son del tipo SGS (*Signal Ground Signal*) debido al gran número de señales de entrada y salida que se tienen.

A la hora de realizar la distribución, se tomó como premisa fundamental el sacar los pines de la señal de RF (en modo diferencial) lo más directa y simétricamente posible. En cuanto a los pines de alimentación y el resto de señales se trató de enmarañar lo menos

posible el diseño y evitar el solapamiento entre capas de metal adyacentes con el objetivo de evitar capacidades parásitas inesperadas.

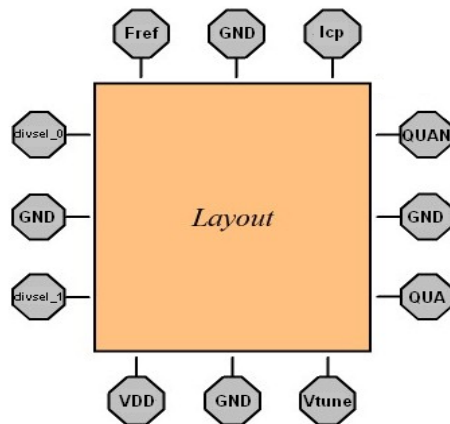


Figura 3.20. Distribución de los pads de medida.

Otra consideración a tener en cuenta es que se debe colocar contactos al sustrato en las zonas del chip que quedan vacías. Esto se hace para evitar que aparezcan corrientes de fuga que interfieran en el funcionamiento del circuito. A la hora de colocar los contactos al sustrato, se debe hacer en bloques con una dimensión máxima de 31,9 μm en al menos uno de sus lados.

En la Figura 3.21 se muestra el diseño final con todos los bloques interconectados y los pads. Como no se dispone de dos pads adicionales para las señales *INP* e *INPN*, para compensarlas con las señales *QUA* y *QUAN* que se van a medir, se ponen unas cargas de 50 Ω en el layout. La Figura 3.22 muestra el símbolo del bloque que se usa para realizar en el test.

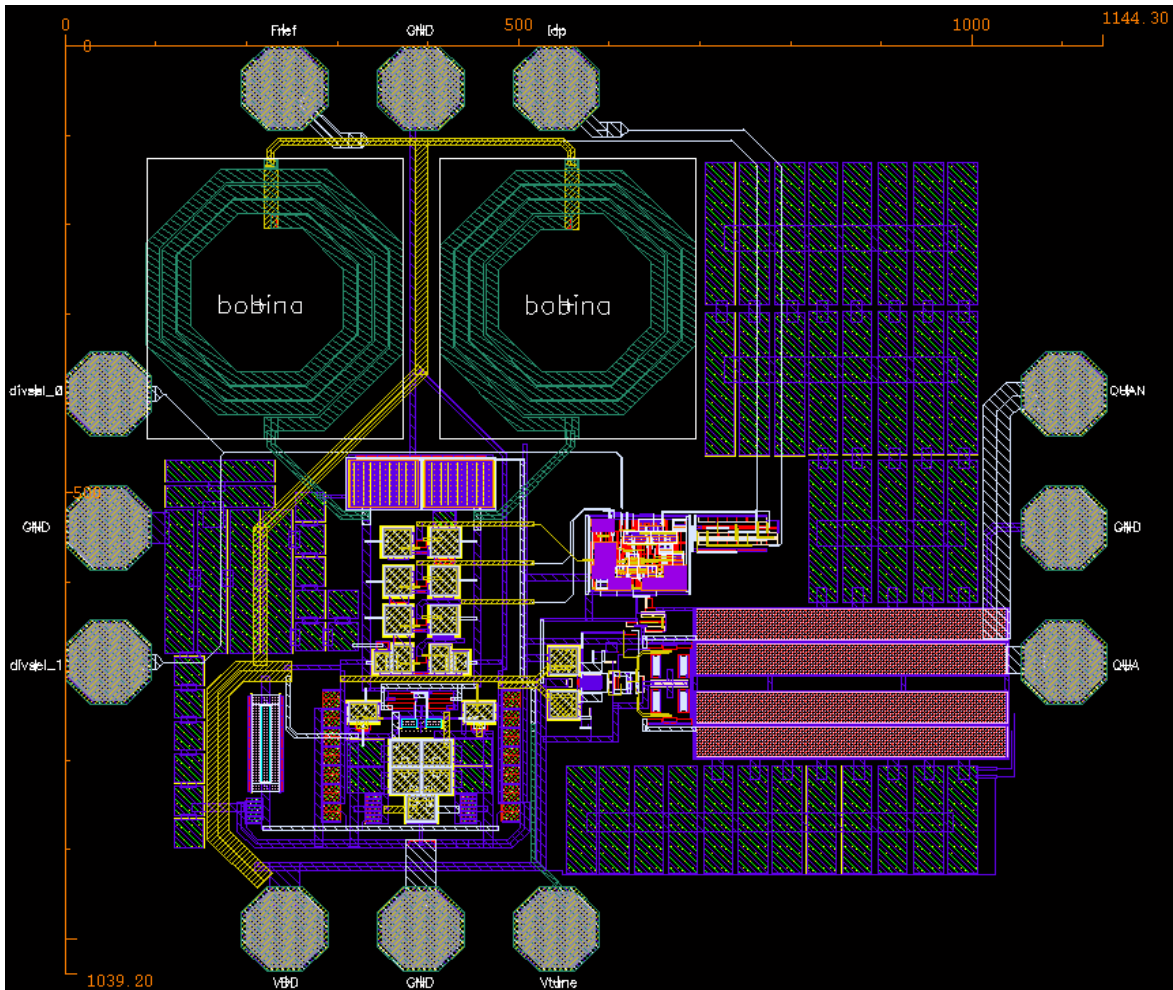


Figura 3.21. Layout final del sintetizador con pads de medida y bobinas.

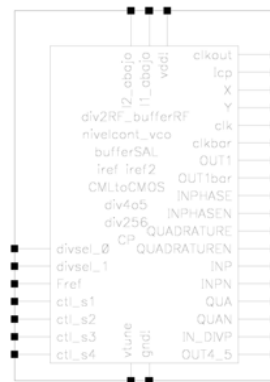


Figura 3.22. Símbolo en Cadence del sintetizador.

3.6. Resumen

En este capítulo se han visto las especificaciones del sintetizador utilizado, así como su estructura y el diseño completo con la distribución de *pads* para medida sobre oblea (*on-wafer*).

Una vez vista dicha estructura, en el siguiente capítulo se realizará el cambio de los *pads* iniciales para incorporarle el encapsulado.

Capítulo 4

Encapsulado del sintetizador

En este capítulo se describen los pasos realizados desde la elección del encapsulado hasta la incorporación del *chip* en éste para ser mandado a fábrica. Éste es el punto principal del trabajo fin de máster.

4.1. Introducción

Puesto que no siempre se dispone de un laboratorio equipado con una estación de puntas con la que medir *on-wafer* un circuito, se observa la necesidad de incorporar cualquier circuito diseñado dentro de un encapsulado con la que de esta forma poder realizar las medidas más fácilmente y mediante componentes sencillos. Por ejemplo, se puede realizar una placa que incorpore la huella del encapsulado quedando posteriormente el ser soldado y hacer la medida para el diseño en cuestión comprobando su funcionamiento.

4.2. El *Package model*

El *package model* tiene en cuenta la influencia del encapsulado. El modelo se estructura en cuatro sub-circuitos, estrechamente relacionados con los elementos que está siendo modelado: los *pads* y ESD, el encapsulado, los cables de soldadura (*bondwires*) y los puntos de soldadura (*dots*) [20]. *Austria-micro-systems* proporciona modelos de para describir su comportamiento [15]-[16]. El modelo a simular se puede observar en la Figura 4.1. Este modelo es el utilizado para realizan simulaciones y observar su influencia.

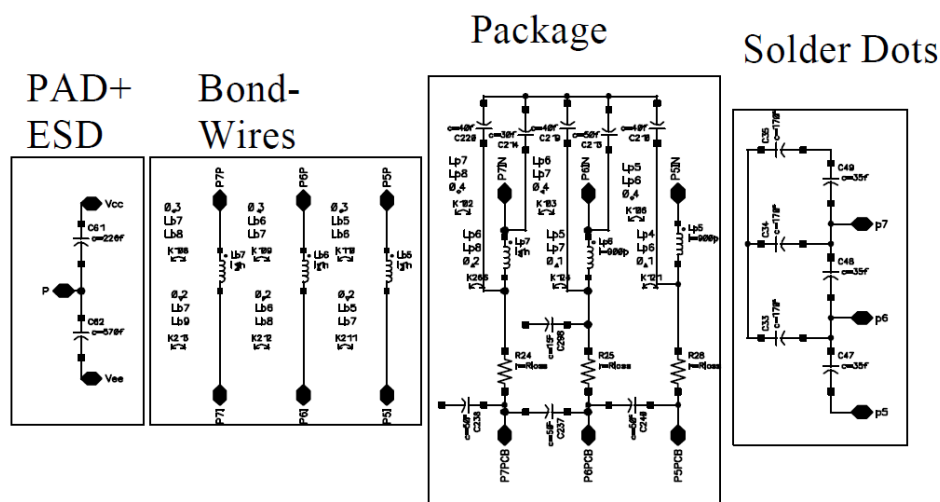


Figura 4.1. Package model provisto por la foundry.

4.2.1. Encapsulados

El modelo de encapsulado es fijo, por lo tanto no se puede cambiar por el usuario. Para escoger un encapsulado hay que saber el número de patillas que necesita nuestro diseño y así poder elegir un encapsulado adecuado [17]-[18]. Para la elección del encapsulado se ha tenido en cuenta el número de patillas que necesita nuestro diseño, además de la frecuencia de funcionamiento. Nuestro diseño requiere de 9 patillas incluyendo alimentación y masa. Se ha elegido un QFN 16 (5mm x 5mm) porque tiene el menor número de patillas y mejora sus características y respuesta en frecuencia a otros como por ejemplo un DIP. En la Figura 4.2 se ven las dimensiones del QFN-16 [19].

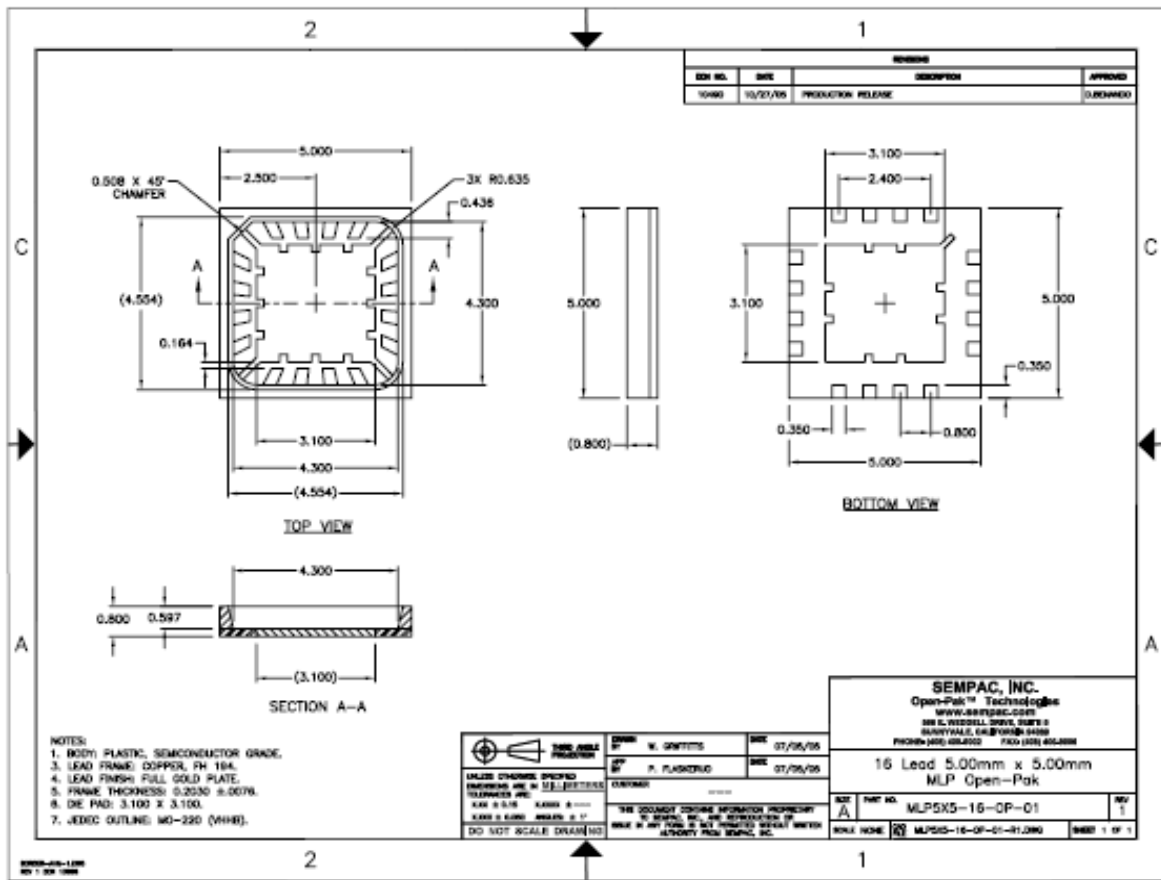


Figura 4.2. Encapsulado QFN 16 (5mm x 5mm)

4.2.2. Pads y ESD

El diseño de partida tiene *pads* para ser medido *on-wafer* (ver Figura 4.3). Estos *pads* tienen que ser cambiados por unos *pads* que incluyan protecciones ante descargas electrostáticas (ESD).

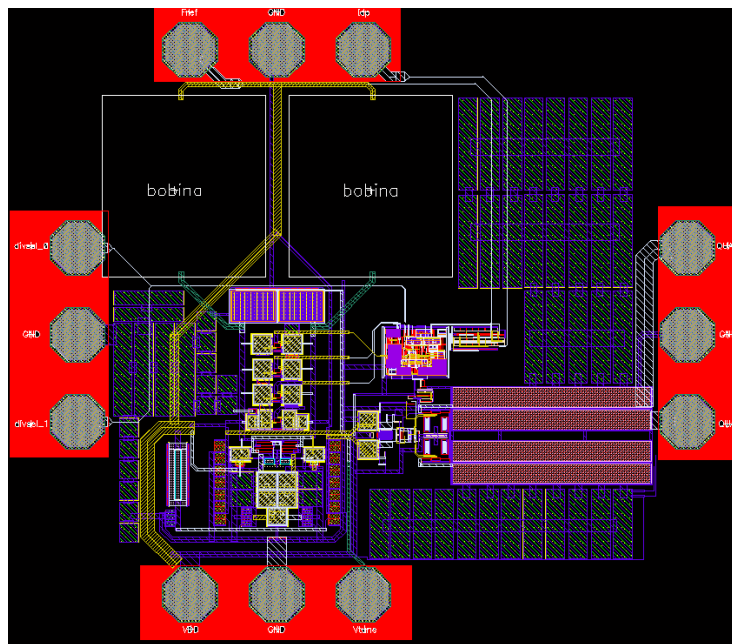


Figura 4.3. *Layout del sintetizador con pads de medida.*

Se ha realizado un estudio de las posibles protecciones ESD de las que se dispone [21]. Con estas protecciones también se puede proteger y limitar la corriente que pasa por ella. Todas las células de la periferia se fijan con *pads*-EDS y de alimentación. Si se colocan células de E/S junto a otra automáticamente formarán anillos periféricos y los dispositivos de protección necesarios se conectan automáticamente a los anillos apropiados.

Finalmente se han escogido los modelos de los *pad-rings* con protecciones ESD que están en la librería IOLIB_ANA_3M siguientes:

- AGND3ALLP: para la masa.
- AVDD3ALLP: para la alimentación única del circuito.
- APRIOP: para el resto de pines.

A continuación se muestra una breve descripción de los *pads* mencionados.

El esquemático y los metales de conexión para el *pad* AGND3LLP de masa se muestra en la Figura 4.4.

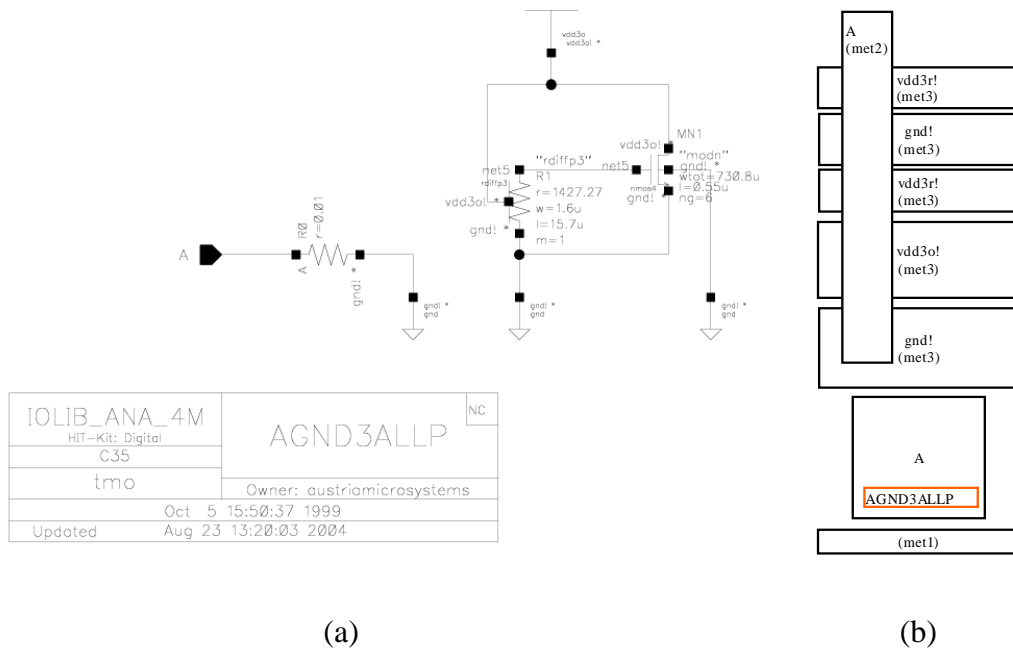


Figura 4.4. AGND3ALLP: (a) esquemático, (b) metales de conexión.

El esquemático y los metales de conexión del *pad* AVDD3ALLP de alimentación se observa en la Figura 4.5.

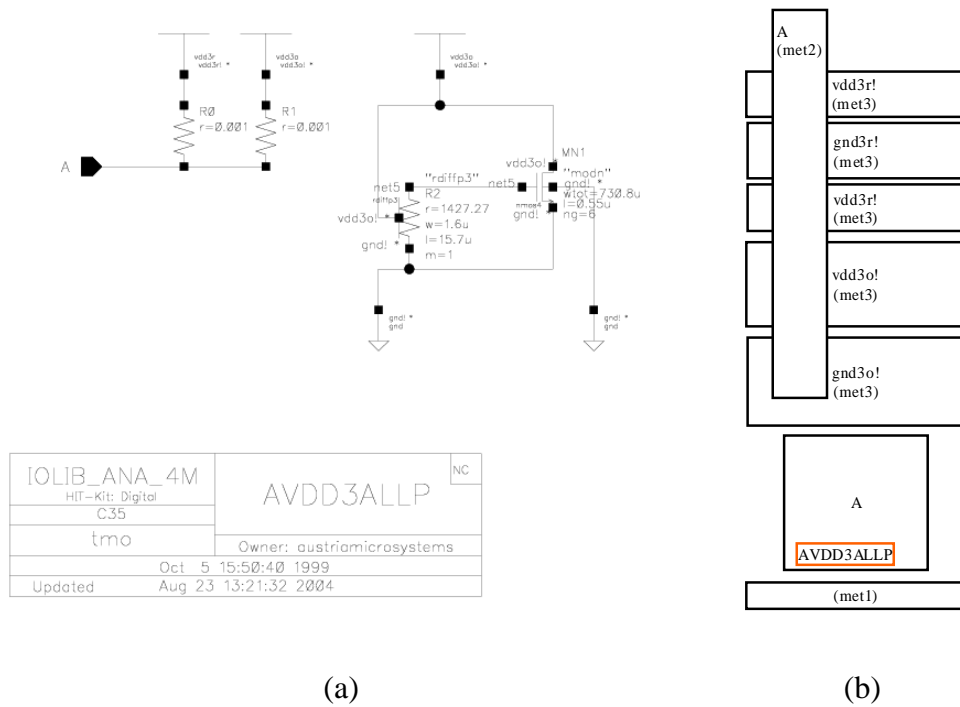


Figura 4.5. AVDD3ALLP: (a) esquemático, (b) metales de conexión.

El esquemático y los metales de conexión para el resto de pines es el APRIOP (ver Figura 4.6). Hay que decir que esta protección no está limitada en corriente ya que no se cree necesario en este diseño, puesto que la respuesta con los *pads* que limitan corriente pueden empeorar la respuesta final del diseño.

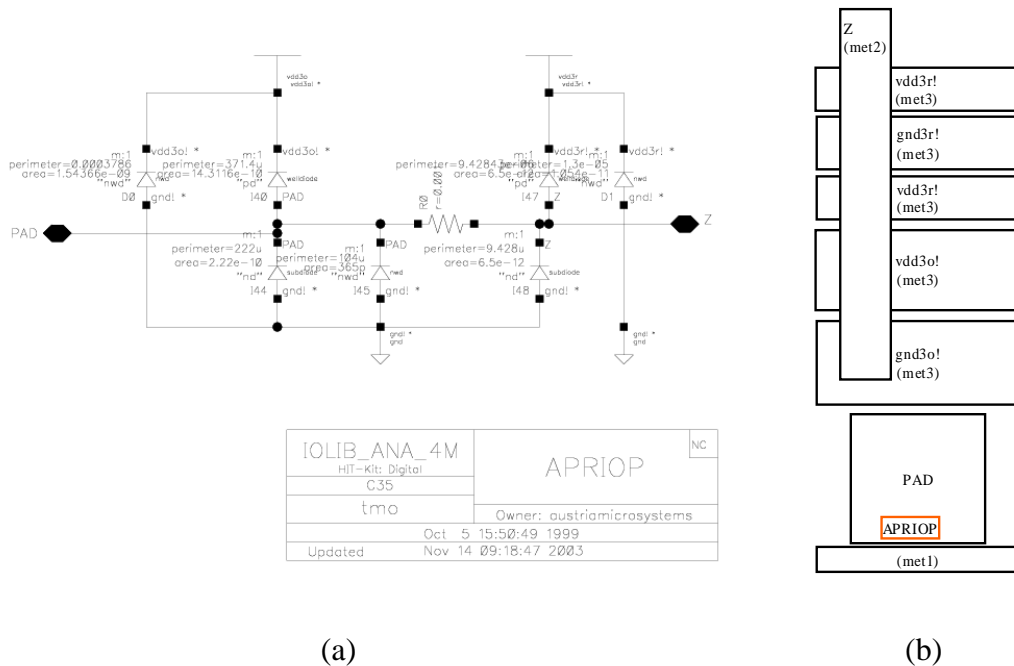


Figura 4.6. APRIOP: (a) esquemático, (b) metales de conexión.

4.2.3. Bondwires

Un *bondwire* es un cable que conecta dos objetos, los *pads* del dado (*die*) y los *pads* del encapsulado, ver Figura 4.7. La longitud de los *bondwires* cambia de un diseño a otro ya que el tamaño de la pastilla puede variar entre diseños.

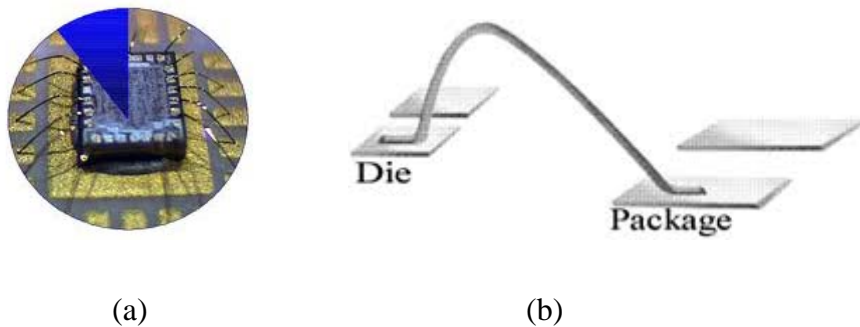


Figura 4.7. Bondwire: (a) chip más encapsulado, (b) ejemplo.

En un sub-circuito se asume una longitud de 1 mm de largo: el tamaño del *chip* es generalmente pequeño en comparación con el tamaño del dado en diseños de RF. Por tanto, una adaptación de este sub-circuito es necesaria para coincidir con los valores (inductancia y la inductancia mutua de cada *bondwire*) con el tamaño actual del dado diseñado. Después de conocer el tamaño del *chip* y la ubicación de los *pads*, la inductancia y la inductancia mutua pueden ser estimadas por las reglas de diseño y de las relaciones siguientes:

- La capacidad por unidad de longitud es de 1 nH / mm, aproximadamente.
- K es el factor de acoplamiento de la inductancia mutua, por $k = \frac{M}{\sqrt{L_1 \cdot L_2}}$. Se supone $k = 0,3$ en los cables adyacentes.
- Además, $k = 0,2$ en los cables no adyacentes.

4.2.4. Dots o puntos de soldadura

Cada encapsulado debe estar soldado a una PCB. Por tanto, estos puntos de soldadura crean capacidades parásitas. Estos parásitos son sólo sensibles a las frecuencias más altas y sus valores son:

- Capacidad_{PIN} - PCB_{ground} = 170fF
- Capacidad_{PIN} - PIN = 35fF

4.3. Simulaciones a nivel esquemático

Primeramente se realizan simulaciones a nivel de esquemático para comprobar el funcionamiento del *chip* añadiendo poco a poco los elementos del modelo de encapsulado. A continuación se muestran las simulaciones a nivel esquemático de circuitos sin *pads*, con *pads*-ESD, con *bondwires* y *dots*.

Como primer paso hay que tener el bloque principal (sintetizador) en *layout* para que la respuesta sea lo más real posible suprimiéndole los *pads* iniciales. El esquema de simulación es el de la Figura 4.8.

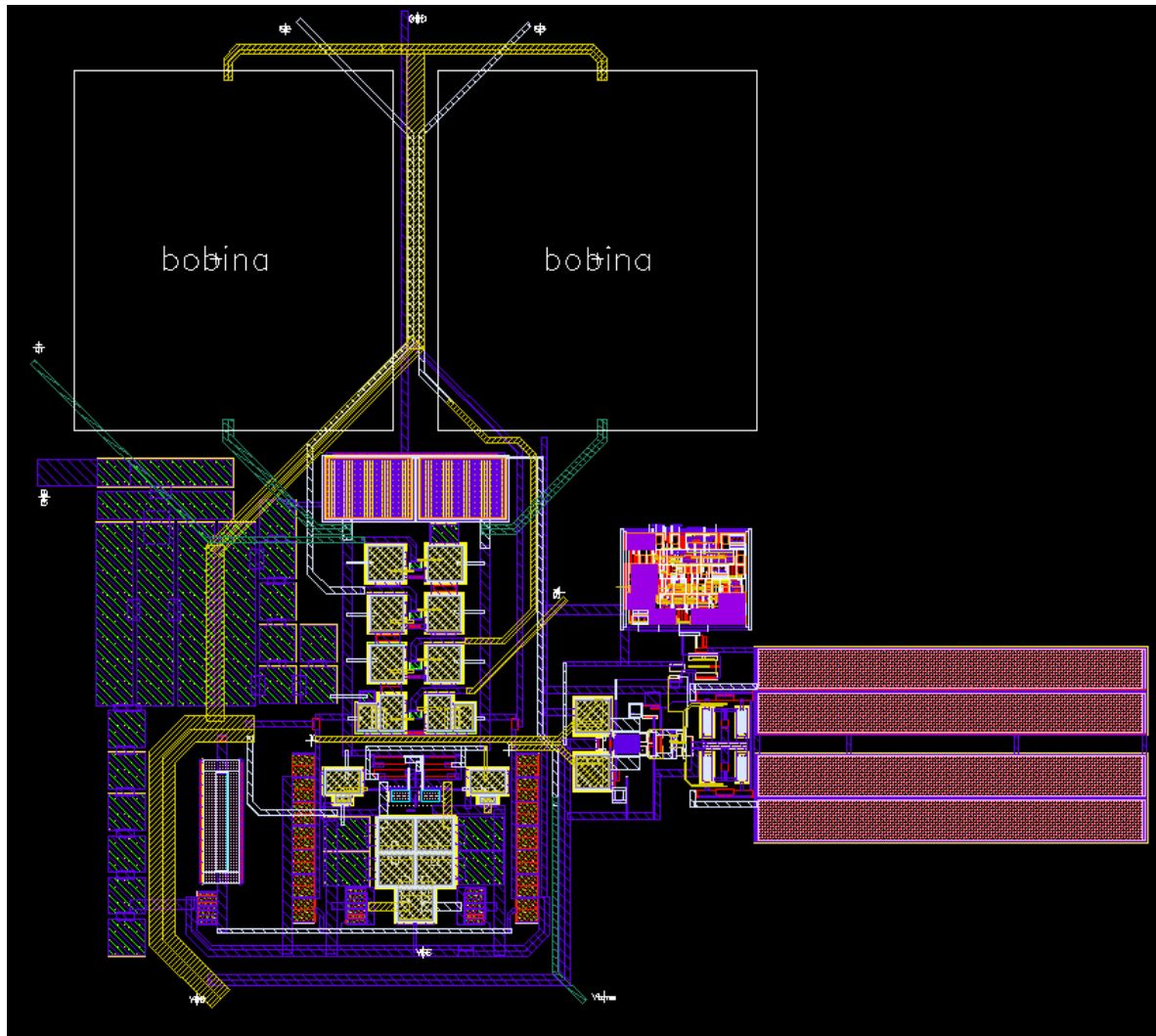


Figura 4.8. *Layout del chip sin pads.*

En el paso siguiente hay que incorporar los *pads*-ESD a nivel de esquemático. Todas las entradas y salidas tienen estos *pads*-ESD. Por lo tanto realizamos un componente con los *pads* en esquemático de todas las señales del circuito, Figura 4.9. Los *pads* tienen el símbolo de la Figura 4.10. El esquemático de simulación es el de la Figura 4.11.

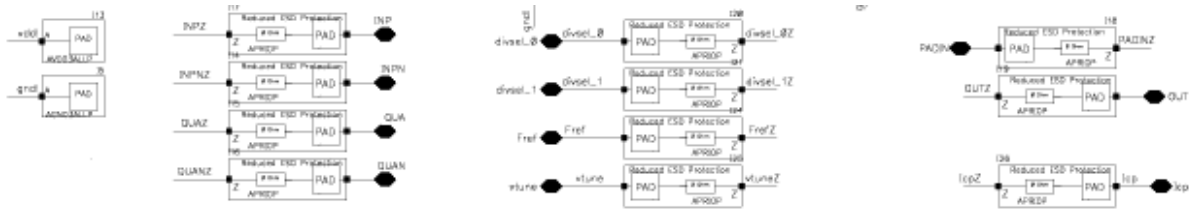


Figura 4.9. Esquema con los pads-ESD.

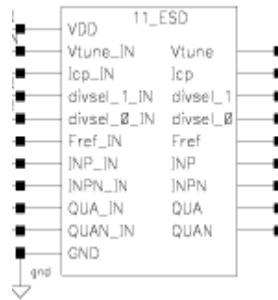


Figura 4.10. Símbolo pads-ESD.

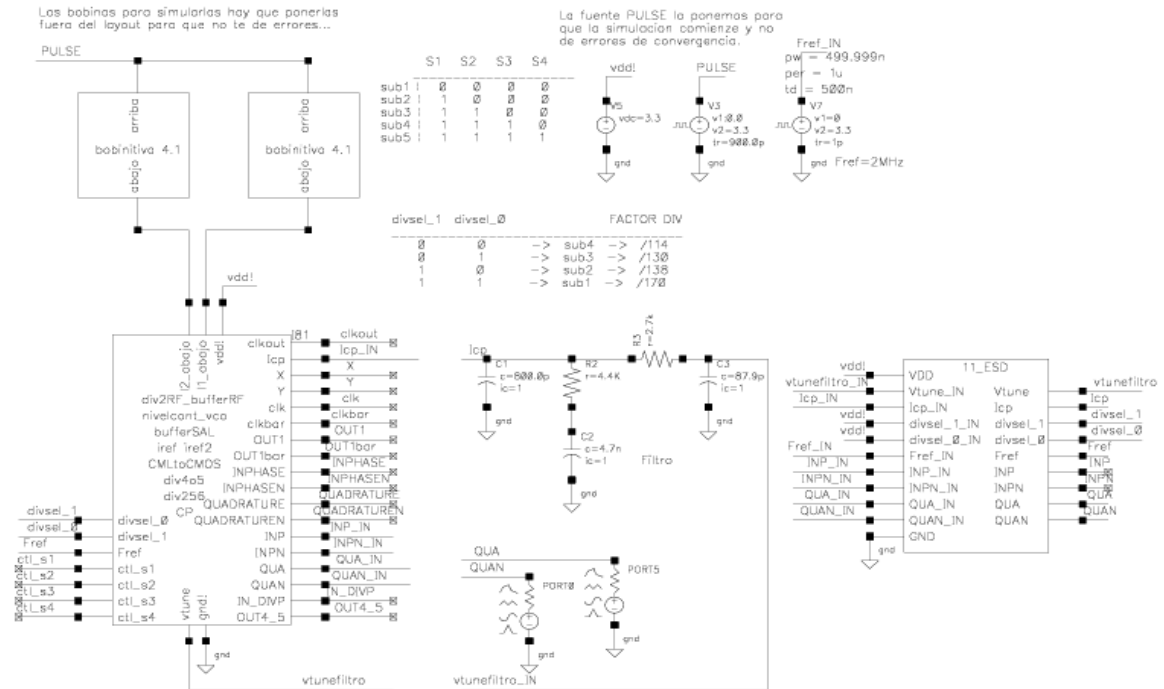


Figura 4.11. Esquemático de simulación del chip en layout y pads-ESD a nivel esquemático.

Una vez añadidos los pads-ESD, se añaden el encapsulado elegido, los bondwires y los dots. El símbolo de encapsulado es el de la Figura 4.12. Realmente no se dispone de un

modelo específico para QFN-16, el más pequeño en cuanto al número de patillas es el QFN-40, el cual se ha utilizado. Se dejan las entradas y salidas no utilizadas al aire ya que no afectan a la simulación.

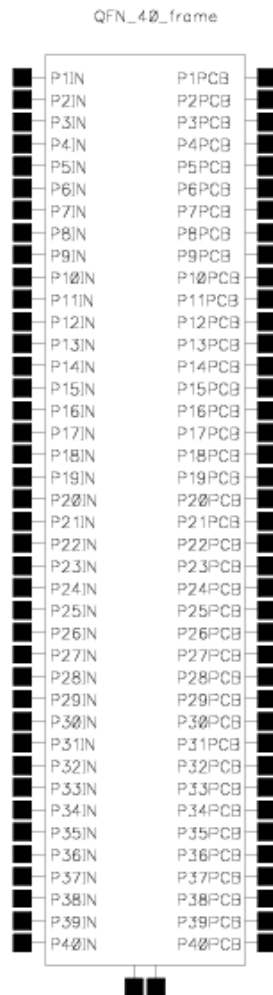


Figura 4.12. Símbolo del encapsulado QFN-40.

El símbolo de *bondwire* se puede observar en la Figura 4.13 y el símbolo para el *dots* es el de la Figura 4.14.

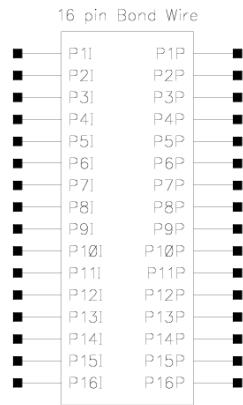


Figura 4.13. Símbolo del *bondwire* 16-pin.

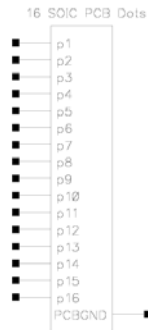


Figura 4.14. Símbolo del *dots* 16-pin.

Todos los elementos descritos se incorporan a nivel de esquemático enganchándolos en su correcta posición. En la Figura 4.15 se ve el esquemático de simulación. A los *pads*-ESD le siguen los *bondwires*, a estos los *dots* y en paralelo el encapsulado.

La Figura 4.16 muestra la simulación de la señal diferencial en cuadratura del bloque a nivel de esquemático. Visualmente no afecta ningún elemento introducido siendo prácticamente igual que con los *pads* para medir sobre oblea.

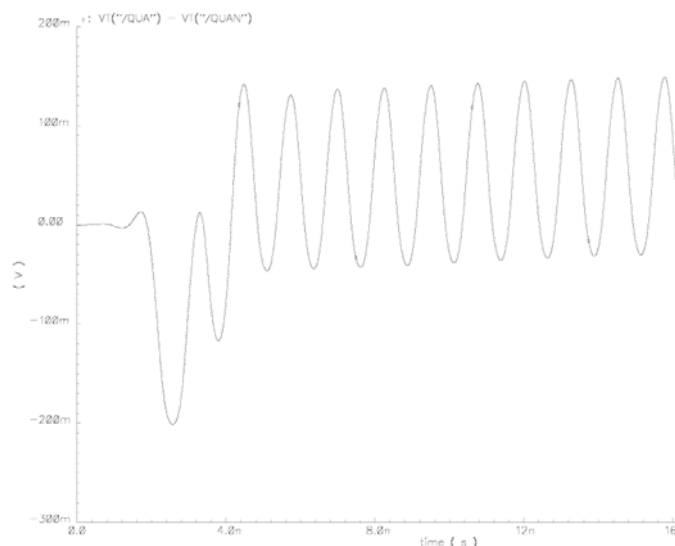


Figura 4.16. Simulación del *chip* en *layout*, *pads*-ESD, *bondwires*, encapsulado y *dots* a nivel esquemático, para la señal diferencial de (QUA-QUAN).

4.4. Simulaciones a nivel *layout*

Para la realización y modificación del *layout* se utiliza la herramienta *Virtuoso* integrada dentro del software *Cadence*, que a su vez integra la herramienta de verificación física *Assura* [7]. Esto permite, no sólo realizar el *layout full-custom* del circuito sino además hacer las simulaciones *post-layout*.

Para generar el *layout* correctamente deben de cumplirse una serie de reglas que dependen de la tecnología empleada, como pueden ser: la distancia entre los distintos elementos, ángulos, densidad de corriente que pueden pasar por las pistas, densidad de corriente que puede atravesar las vías de unión entre las diferentes capas de la tecnología, tamaños, anchos de las pistas, etc.

Así mismo, existen una serie de aspectos a tener en cuenta que nos permiten obtener el comportamiento óptimo del diseño. Estos se centran en minimizar la influencia

de las posibles dispersiones de los parámetros de los componentes del circuito. Los aspectos más importantes se muestran a continuación:

- El sustrato se debe conectar al potencial más negativo.
- Se ha de lograr la máxima simetría entre los componentes aplicando la técnica del centroide común. Esta técnica se emplea para que a dos elementos iguales le afecten del mismo modo las dispersiones que se puedan producir durante el proceso de fabricación.
- Se debe evitar que los ángulos de las pistas sean menores a 45° .
- Las pistas de poli-silicio deben ser lo más cortas posibles, ya que crean resistencias perjudiciales para el comportamiento del circuito.
- Las pistas de poli-silicio, metal 1, metal 2 y metal 3 han de tener un determinado ancho dependiendo del flujo de corriente que circule a través de ellas. Estas dimensiones son recomendadas por la tecnología usada y son mostradas en la Tabla 4.1.

Generalmente, las pistas se han sobredimensionado para evitar posibles roturas. Las pistas de alimentación las sobredimensionamos al máximo aprovechando los espacios vacíos, ya que se nos crea una capacidad parásita muy grande que nos sirve para filtrar cualquier ruido que viniera con dichas tensiones de alimentación. En cambio para las señales tanto de alta frecuencia como de reloj nos interesa que esta capacidad sea muy pequeña para que nos influya lo menos posible.

Tabla 4.1. Dimensiones mínimas de los materiales con respecto al flujo de corriente

Materiales	Unidades (mA/ μm)
Poly 1	0,5
Metal 1	1
Metal 2	1
Metal 3	1

A la hora de fabricar el circuito, a los distintos componentes pueden afectarle una serie de dispersiones del proceso. Estas dependen, sobre todo, de donde esté ubicado el circuito integrado dentro de la oblea. Las dispersiones siempre actúan de manera lineal y en una dirección determinada. Se pueden distinguir varios tipos de dispersiones, entre las que destacan:

- Variación en el espesor de la capa de óxido: afecta, principalmente, a las capacidades parásitas de los transistores.
- Variación en el número de impurezas: afecta a la movilidad de los electrones, lo que modifica el valor de la transconductancia.
- Variación del tamaño de los transistores: afecta al valor de la transconductancia, capacidades parásitas y resistencias de los transistores.

Si queremos pasar de un metal a otro y colocamos una única vía de unión entre las capas de los diferentes metales, esto nos hace correr el riesgo de que si esta falla nos pueda repercutir en el mal funcionamiento del circuito. Por este motivo todo el circuito se diseña para evitar riesgos innecesarios y en lugar de colocar una sola vía entre las diferentes capas de metales optamos por poner dos si el diseño lo permite.

A continuación se muestran las simulaciones a nivel de *layout* realizadas para el modelo de encapsulado. La metodología utilizada para el diseño del *layout* es dividir el circuito en diferentes bloques para ir construyendo el *layout* final. De este modo, cuando se finaliza cada bloque se hace una simulación de la vista extraída con el resto de los bloques ya diseñados. Así se puede comprobar que el diseño en *layout* se ajusta al esquemático y así conseguir una rápida detección de errores si los hubiera.

4.4.1. *Layout* con *pads*-ESD

Una vez en este punto se vuelve a retomar el diseño del *chip* (sintetizador) con el que se va a trabajar. Como el circuito tiene *pads* para poder ser fabricado y medido sobre oblea, se ha modificado el *layout* eliminando estos componentes y poder insertar nuestros bloques.

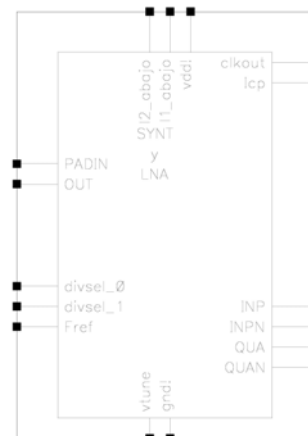


Figura 4.19. Símbolo del *chip* final con *pads*-ESD.

4.4.2. *Layout* con *pads*-ESD y encapsulado

Seguidamente hay que incorporar el encapsulado que se va a utilizar, el QFN-16. Se ha tenido que incorporar la librería de encapsulados en *Cadence* para poder utilizar el encapsulado elegido. Para ello hay que bajarse el fichero “ep_packages_20070208.gds” con los modelos de encapsulados [20]. Posteriormente se crea una nueva librería y se importa el fichero quedando efectiva la librería para poder trabajar con el encapsulado. El *layout* del encapsulado QFN-16 se representa en la Figura 4.20.

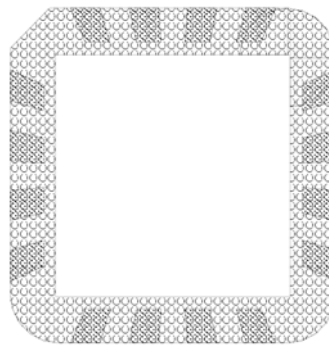


Figura 4.20. *Layout* del QFN-16.

4.4.3. *Layout* con *pads*-ESD, encapsulado y *bondwires*

En este momento hay que crear los *bondwires*, los cuales se dibujan en la capa “y0” en *Cadence* con un espesor de 30 μm [22]-[23]. Esta capa es de texto y se incorpora para que la fábrica (*foundry*) tenga un mapa visual de las conexiones.

Hay que seguir una serie de reglas para situar el encapsulado y el *chip* así como los ángulos que hay que cumplir y distancias mínimas entre el encapsulado y nuestros *pads* del *chip* [24]. La Figura 4.21 representa el diseño final del *layout* al que se le han añadido los *pads*-ESD, el encapsulado y los *bondwires*.

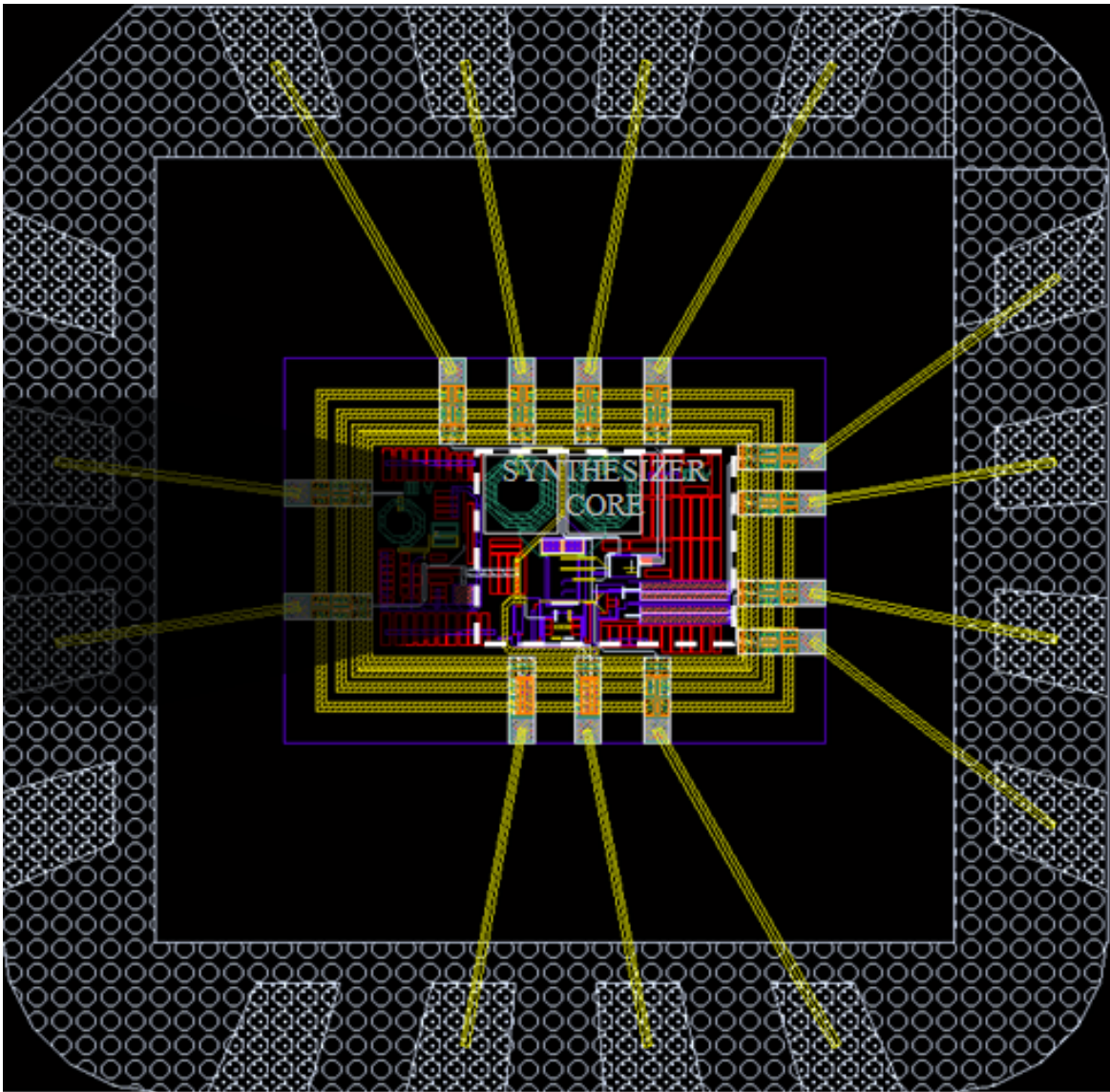


Figura 4.21. *Layout* de la célula a fabricar con *chip*, encapsulado QFN-16 y *bondwires*.

Hay que comentar que en el diseño final, la célula tiene dos circuitos distintos, un sintetizador y un LNA funcionando diferenciadamente, aunque la alimentación y la masa se optaron por ser la misma para los dos circuitos.

Como anexo se puede decir que hay que estudiar las conexiones *Downbond* y *Groundbond* entre el dado y el encapsulado. En nuestro diseño no se han puesto.

4.4.4. *Layout con pads-ESD, encapsulado, bondwires y dots*

Los *dots* no se incorporan al *layout* pero si sus efectos en el esquemático de simulación. El esquema de simulación se representa en la Figura 4.22.

En las siguientes figuras se representan las simulaciones realizadas con el efecto del encapsulado. La Figura 4.23 representa como el sintetizador tiende a engancharse, aunque todavía en la simulación no se llega a ver el enganche final. La simulación completa del enganche no se ha realizado puesto que tarda mucho tiempo debido a la escala del reloj principal y los factores de división del diseño, pudiendo llegar cada simulación a meses.

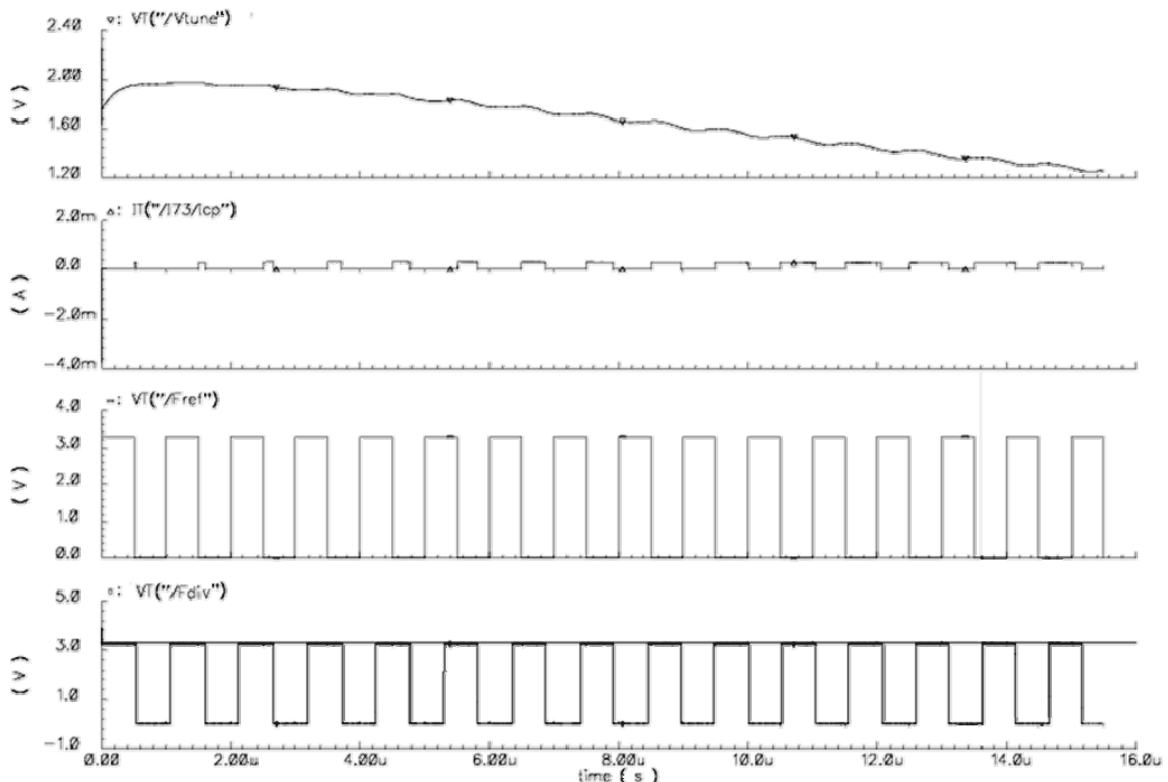
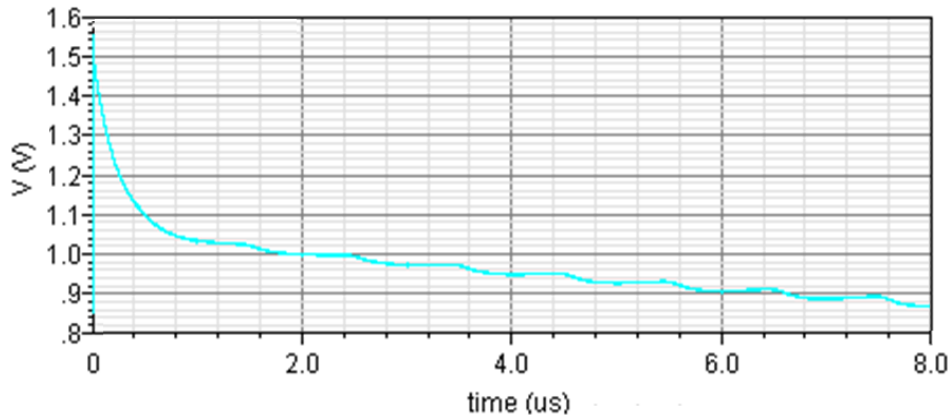
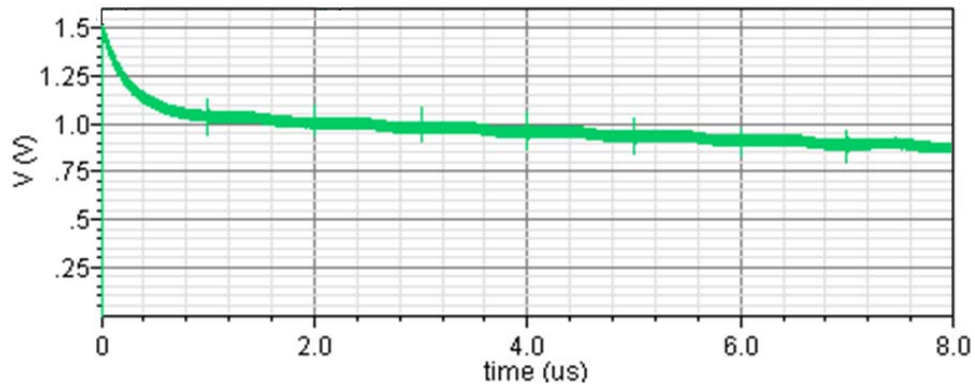


Figura 4.23. Simulaciones *post-layout* incluyendo efectos de encapsulado.

La Figura 4.24(a) muestra la simulación *post-layout* de la tensión V_{TUNE} sin efectos de encapsulado. En la Figura 4.24(b) se puede ver un ligero rizado en la señal, esto hace pensar en un ligero rediseño del filtro de lazo, agregando un polo extra para eliminar este efecto indeseable.



(a)



(b)

Figura 4.24. Simulaciones post-layout para V_{TUNE} : (a) sin encapsulado, (b) con encapsulado.

4.5. Generación del archivo gds

Para mandar a fabricar el circuito hay que generar un archivo gds. Se debe tener cuidado con los circuitos encapsulados, ya que la *top cell name*, en este caso, es con el encapsulado y los *bondwires*. Hay que generar las capas que faltan poniéndolas en el *chip* que se va a fabricar y no en el del encapsulado [25].

4.6. Diagrama de *bondwires*

Al fabricante hay que mandarle un diagrama de *bondwires*. Se realiza con una plantilla que se encuentra en la librería de encapsulados. Se escoge el encapsulado que se

ha elegido seguido de _A4. Este es un boceto para que sepan los pines de conexión entre los *pads*-ESD del *chip* y los *pads* del encapsulado. En esta plantilla se puede ver también los *pads* que no se conectan además de añadir otra información como cuantas muestras se quieren encapsuladas y cuantas desnudas.

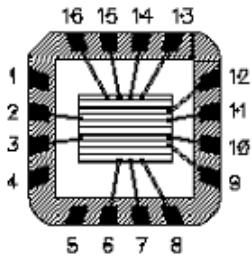


Request:		QFN16(5x5) <small>Quad Flat No-lead (Pre-Molded Open-Pad)</small>	
			
Comment: PINS 1, 4 AND 5 ARE NOT CONNECTED			
MPW:	Date:	07.06.10	Scale
Die: 2.1x1.52mm	Size incl scribe:		10
Qty packaged: 20	Lid: Taped <input checked="" type="checkbox"/> Sealed <input type="checkbox"/> Glued <input type="checkbox"/> Glass <input type="checkbox"/>		
Qty naked: 10	 Europractice  imec IC Service Coordinated by IMEC www.europractice.imec.be		
Die Attach:			
Wire:			
Info:			

Figura 4.25. Diagrama de *bondwires*.

Este es el último paso encontrándose en este momento en la situación de poder mandar a fabricar nuestro circuito encapsulado.

4.7. Resumen

En este capítulo se ha explicado el procedimiento a seguir para encapsular un *chip*, en este caso un sintetizador que se había diseñado para medir sobre oblea. Debido a disponer de unos *pads* no adecuados, se extrajeron los que tenía y se introdujeron *pads* con protecciones ESD así como el encapsulado que mejor se adapta al diseño (QFN-16), los *bondwires* y los *dots*. Finalmente se simularon los efectos que producen estos elementos dando una serie de respuestas hasta llegar al paso de generar los archivos necesarios para mandarlo a fabricar.

En el próximo capítulo se establece un balance del desarrollo del trabajo fin de máster, lo que nos conduce a una serie de conclusiones, válidas para el desarrollo de futuros trabajos y diseños.

Capítulo 5

Conclusiones

Una vez modificado el diseño del sintetizador y realizado el encapsulado del circuito sólo queda dar un pequeño resumen del trabajo realizado y una serie de conclusiones finales.

5.1. Resumen

El objetivo del trabajo fin de máster ha sido modificar un sintetizador basado en tecnología BiCMOS de 0,35 μm suministrada por AMS para un receptor de radiofrecuencia según el estándar DVB-H e incorporarlo en un encapsulado.

En una primera fase se realizó un estudio del estándar DVB-H, un estudio teórico de PLLs y sintetizadores de frecuencia. También se definió la tecnología utilizada y los tipos de encapsulados que existen.

Seguidamente se pasó al estudio del bloque a modificar, un sintetizador de frecuencia con configuración de divisor fijo entre dos más un divisor programable. Dicho sintetizador actúa como oscilador local de un receptor de conversión directa.

En una tercera fase se realizó un estudio de los componentes que hacen falta analizar para encapsular un circuito. Se estudiaron los *pads-ESD*, el encapsulado, los *bondwires* y los *dots*.

Se realizaron distintas simulaciones en *Cadence* comprobando cada paso realizado tanto a nivel esquemático como de *layout*. El *layout* se modificó con los *pads-ESD* elegidos para el diseño, realizando simulaciones para comprobar su funcionamiento. Finalmente se incorporó el encapsulado, *bondwires* y *dots* realizando una última simulación. Se observó un ligero rizado en la señal V_{TUNE} cuando se añade el encapsulado, por lo que se piensa en un rediseño del filtro de lazo.

Finalmente se generaron los archivos necesarios para mandar el circuito a fábrica, un archivo *gds* con las capas del diseño y un diagrama de *bondwires* con el que la fábrica se guiará para la fabricación del chip con el encapsulado.

5.2. Conclusión final

Se ha comprobado que con la tecnología *SiGe* 0,35 μm se pueden realizar diseños de encapsulados. De esta manera se puede integrar y proteger un chip además de manejar más fácilmente el circuito.

Como se ha podido observar a lo largo de este trabajo fin de máster, se ha cerrado el flujo de diseño sobre el encapsulado de un circuito integrado mixto de radiofrecuencia, un sintetizador, finalizando con el desarrollo del *layout* encapsulado.

Mediante este proceso se ha obtenido una visión general del proceso de diseño que se transforma en experiencia a la hora de afrontar cualquier diseño, ya que en todo momento se tiene una idea aproximada de lo que puede pasar en las diferentes fases del flujo de diseño.

Un logro a destacar es que parte de este trabajo va a ser publicado en un artículo de congreso internacional donde al final de la memoria se encuentra anexa dicha publicación:

- Dailos Ramos Valido, Rubén Pulido Medina, Sunil L. Khemchandani, Enara Ortega García, Aitor Juanicorena and Javier Del Pino, “A Packaged Integrated Synthesizer for DVB-H”, XXVI Design of Circuits and Integrated Systems Conference, 2011.

Para concluir se puede decir que los objetivos planteados inicialmente se han alcanzado. En cualquier caso la línea de trabajo que subyace a este trabajo fin de máster es parte de una línea de investigación de mayor envergadura en la que se desarrollan varios proyectos de investigación. De este modo, la temática de este trabajo tiene continuidad en aspectos como la encapsulación de cualquier circuito integrado de RF o por ejemplo una cadena de recepción completa.

BIBLIOGRAFÍA

Bibliografía

- [1] <http://ayudaelectronica.com/tipos-de-encapsulados/>
- [2] ETSI EN 302 304 V1.1.1, Digital Video Broadcasting (DVB); Transmission System for Handheld Terminals (DVB-H), November 2004.
- [3] Dailos Ramos Valido, “Diseño de un Sintetizador de Frecuencia Integrado para DVB-H en Tecnología BiCMOS 0,35 μ m”, Proyecto Fin de Carrera, Diciembre de 2006.
- [4] AMS Austria Micro Systems, “0.35 μ m BiCMOS Design Rules”, Rev. 5.0. 2005.
- [5] AMS Austria Micro Systems, “0.35 μ m BiCMOS Process Parameters”, Rev. 4.0. 2005.
- [6] Website oficial ADS: <http://www.agilent.com>
- [7] Website oficial Cadence: <http://www.cadence.com>

- [8] WP4 / D4.1 deliverable, “Front-end and Antennas External Specification”, Based on “Mobile and Portable DVB-T Radio Access Interface Specification, EICTA / TAC / MBRAI-02-16, Version 1.0 (1.1.2004)”.
- [9] Radio-Electronics TSEK 26, 4 P, RF CMOS Transceiver Design, <http://www.ek.isy.liu.se/courses/tsek26/#labs>, System Design.
- [10] ETSI EN 300 744 V1.5.1, Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television, November 2004.
- [11] Thomas H. Lee, “The Design of CMOS Radio Frequency Integrated Circuits”, Cambridge University Press, 1998.
- [12] Manuel Sierra Pérez, “Electrónica de comunicaciones”, Pearson Prentice Hall, 2003.
- [13] Paraninfo, “Electrónica aplicada a las altas frecuencias”, Thomson Learning, 2000.
- [14] Gerardo Betancort González, “Diseño de un oscilador controlado por tensión (VCO) en tecnología SiGe 0.35 µm para el estándar DVB-H”, Proyecto Fin de Carrera, Septiembre de 2006.
- [15] Austria Mikro Systeme, “0.35 µm HBT BiCMOS Process Parameters,” Rev. 2.0. 2003.
- [16] Austria Mikro Systeme, “Package model,” Application note AN5156.
- [17] Encapsulados en STH:
http://sth.iuma.ulpgc.es/mod.php?mod=userpage&menu=2900&page_id=85
- [18] Encapsulados en Europractice: <http://www.europractice-ic.com/>
- [19] Encapsulado QFN16: <http://www.europractice-ic.com/docs/MLP5X5-16-OP-01-R1%20ECN%2010490.pdf>
- [20] Librería de encapsulados:
http://sth.iuma.ulpgc.es/mod.php?mod=userpage&menu=2900&page_id=84
- [21] Protecciones ESD, “Application Note ESD Protection Concept Draft v1.0”.
- [22] Bonding:
http://sth.iuma.ulpgc.es/mod.php?mod=userpage&menu=2900&page_id=84
- [23] Bonding: http://sth.iuma.ulpgc.es/mod/fileman/files/ep_pack.README
- [24] Ensamblado:
<http://sth.iuma.ulpgc.es/mod.php?mod=showinmain&page=/tecnologias/ams/v3.70/&menu=2000>
- [25] Capas GDS:

<http://sth.iuma.ulpgc.es/mod.php?mod=showinmain&page=/tecnologias/ams/v3.70/hitkit/hk370/assura/index.html>

- [26] Freescale Semiconductor, “Quad Flat Pack No-Lead (QFN); Micro Dual Flat Pack No-Lead (uDFN)”, Application Note AN1902, Rev. 4.0, 9/2008.
- [27] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, Mc Graw Hill, 2001.
- [28] Behzad Razavi, “RF microelectronics”, Prentice Hall, 1998.
- [29] R. Jacob Baker, Harry W. Li and David E. Boyce, “CMOS Circuit Design, Layout and Simulation”, IEEE Press, 1998.
- [30] Alan Hartings, “The art of analog layout”, Ed. Prentice Hall, 2001.
- [31] Servicio de Tecnologías y Herramientas del IUMA (STH): <http://sth.iuma.ulpgc.es>
- [32] Sunil L. Khemchandani, Javier del Pino, Dailos Ramos, Jonas Perez, Nestor Barrera, Unai Alvarado, Antonio Hernandez, “A BiCMOS Chipset for a DVB-H front-end receiver”, XXIII Design of Circuits and Integrated Systems Conference, Grenoble, November 12-14, 2008.
- [33] S.L. Khemchandani, J. del Pino, E. López-Morillo, U. Alvarado, D. Ramos-Valido, B. Palomo, F. Muñoz-Chavero, “RF and Mixed Signal Circuits for a DVB-H Receiver”, Analog Integrated Circuits and Signal Processing, 2010.

ANEXO

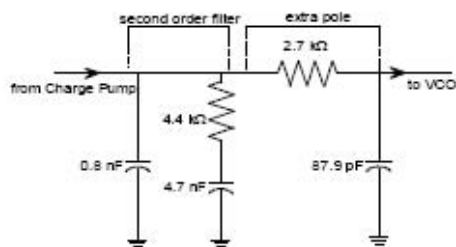


Figure 2 Passive three-pole loop filter.

C. VCO

A simplified schematic of the VCO is shown in Figure 3, and it is implemented as an LC oscillator topology integrating all the components of the tank on-chip [4]. V_{TUNE} is the VCO tuning voltage. An array of switched capacitors was used to sweep the whole frequency range, S1, S2, S3 and S4 signals control the capacitor array. To facilitate the integration of inductors and capacitors, the VCO should run at twice the required UHF frequency (from 948 MHz to 1716 MHz).

Also, a standalone version of the VCO was fabricated (see Figure 4) at it was measured on wafer. The VCO oscillates from 1085 MHz to 1766 MHz, covering nearly the entire band using only one VCO core. The VCO measured tuning range is 47.6 %. The phase noise measurement gives a -112 dBc/Hz at 100 kHz offset. The output power is -14 dBm and the current consumption for a 3.3 V supply is 6 mA. These specifications are suitable for the proposed receiver requirements.

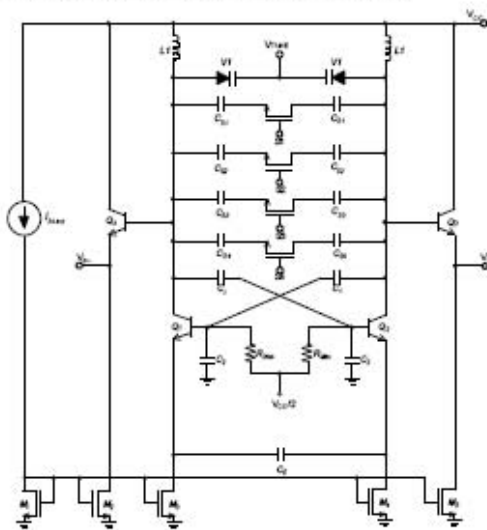


Figure 3 VCO simplified schematic.

D. Fast divider and phase shifter

The fast divider block diagram is shown in Figure 5. It is composed by a CML (current mode logic) fast divider, which divides the VCO output by two as well as generates the 0° and 90° signals. The buffers are to drive the mixers and they are matched to 50 Ω . A CML to CMOS level converter is used to drive the dual modulus programmable divider.

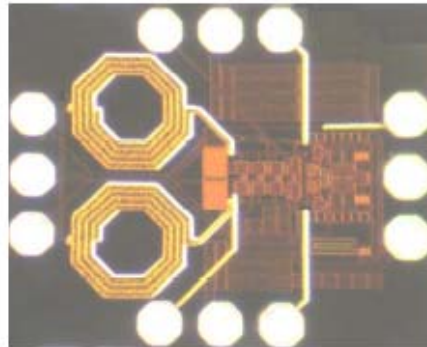


Figure 4 VCO microphotography.

The CML fast divider also acts as 0-90° phase shifter and its schematic is shown in Figure 6. It is composed by two CML latches with active loads.

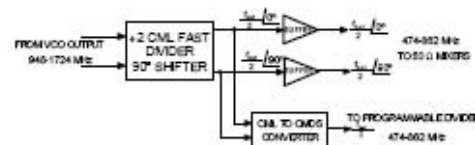


Figure 5 High speed divider and 90° phase shifter.

This circuit was fabricated and measured on wafer and in Figure 7 we can observe the output of the fast divider, showing a power of -18.53 dBm at 499 MHz for an input signal of 998 MHz. Figure 9 shows the inphase and quadrature output signals, with a 90° phase shift between them.

E. Programable divider

The programmable divider also controls the VCO switches to select the correct sub-band, depending of the wanted output frequency. In the prototype fabrication, the programmable divider was simplified and it composed by a divider by 5 followed by programmable divider by N_p (114, 130, 138 and 170). With this configuration we can test at least one channel for each sub-band.

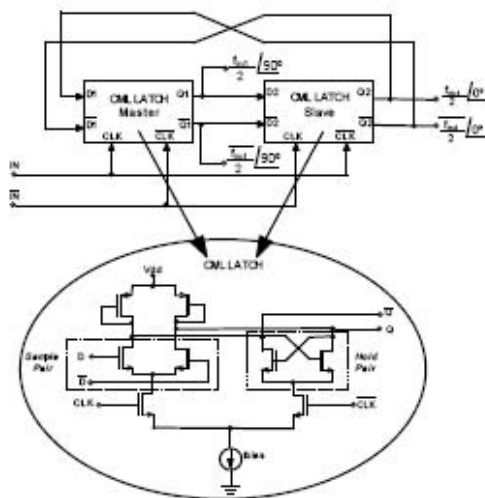


Figure 6 CML fast divider and shifter.

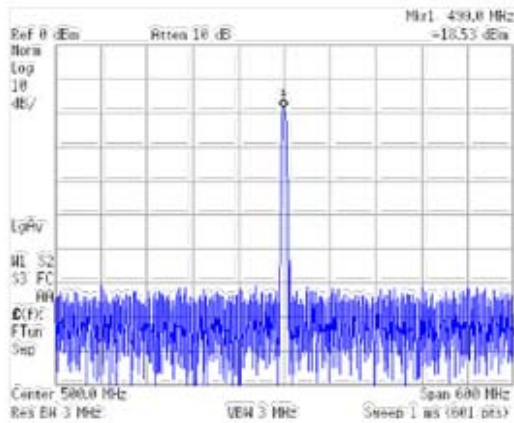


Figure 7 Fast divider output spectrum.

Figure 9 shows the layout of the 114/170 divider. It was implemented using VHASIC Hardware Description Language (VHDL). Modelsim® [5] was used to simulate the VHDL code, Leda® was used to verify the code quality, Design Vision® [6] for logic synthesis and Encounter® [7] for placement and routing.

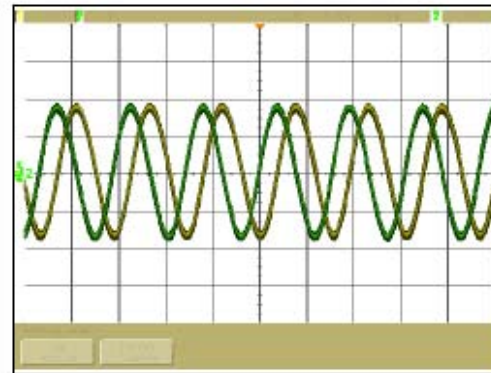


Figure 8 Inphase and quadrature output signals for the fast divider.

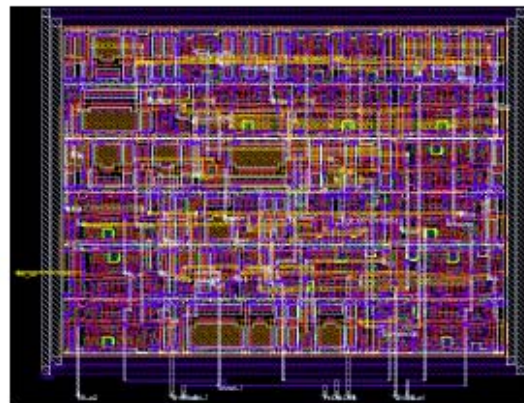


Figure 9 Programmable divider layout.

III. PACKAGED SYNTHESIZER

The synthesizer components described in the former section, with the exception of the loop filter, were integrated in 16-pin QFN (5x5mm) package. To simulate the packaged version of the synthesizer, pads with ESD protection, bondwires, package and solder dots were taking into account. To minimize the ESD protections in the synthesizer performance, a carefully selection of these components was done.

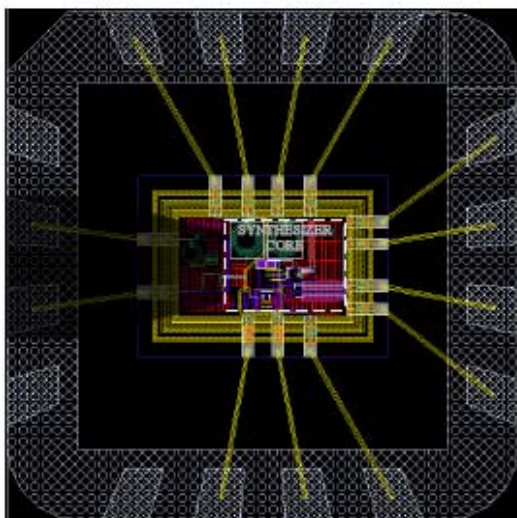


Figure 10 Synthesizer in a QFN16 package.

The design needs 11 connection pins (see Figure 10). A summary of the pins is described in TABLE II. Pins 2 and 3 are used to test an LNA for UWB which is not part of this paper.

TABLE II Pin description

Pin 1	Not used
Pin 2	LNA input
Pin 3	LNA output
Pin 4	Not used
Pin 5	Not used
Pin 6	VCC
Pin 7	GND
Pin 8	Filter out (Vtune)
Pin 9	In-phase output +
Pin 10	In-phase output -
Pin 11	Quadrature output +
Pin 12	Quadrature output -
Pin 13	Filter in (Charge pump out)
Pin 14	Reference frequency input
Pin 15	Divider control 1
Pin 16	Divider control 2

IV. RESULTS

Figure 11 shows a synthesizer hop from 1252 MHz to 1412 MHz. Initially, the synthesizer is in free running mode. The synthesizer frequency is stabilized on 1252 MHz after 250 μs . A change in the divider is applied at 550 μs to achieve the 1412 MHz frequency.

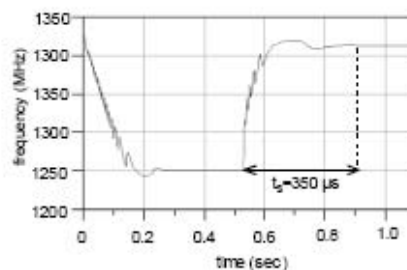


Figure 11 Synthesizer transient response.

Figure 12 shows the V_{TUNE} voltage for the same hop, these simulations have been carried on with a modelled VCO using Advanced Design System[®] tool [8].

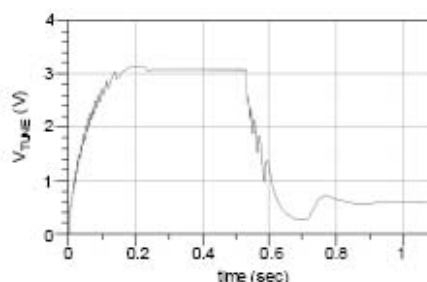


Figure 12 Synthesizer transient response, V_{TUNE} voltage.

Figure 13 shows the VCO free run phase noise, VCO phase noise contribution in the total phase noise and synthesizer phase noise. From 10 KHz to 10 MHz, the total phase noise is determined by the VCO contribution. Synthesizer phase noise is summarized in TABLE III.

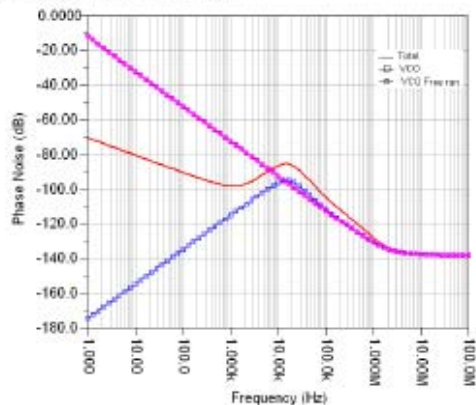


Figure 13 Synthesizer phase noise response.

TABLE III Synthesizer total phase noise

Frequency (Hz)	Phase noise (dBc/Hz)
100	-89.876
1 k	-97.835
10 k	-86.134
100 k	-107.268
1 M	-127.946
10 M	-136.340

Figure 14 shows a post layout simulation of the synthesizer including the package effect. This simulation was very time-consuming and includes the V_{TUNE} signal, the current pulses from the charge pump (I_{cp}), and the inputs of the PFD. As seen in Figure 14, we can observe how V_{TUNE} voltage decreases tending to stabilize its value.

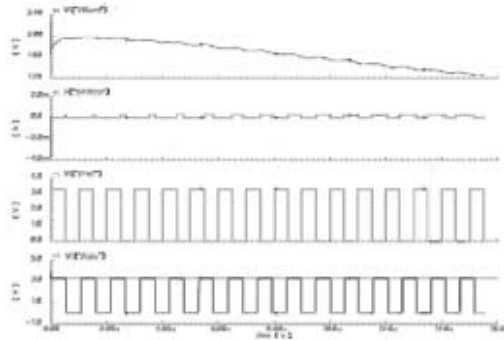


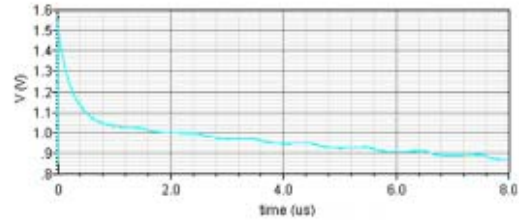
Figure 14 Post layout simulation of the synthesizer including package effect.

Figure 15 shows V_{TUNE} voltage post-layouts simulations without and with package effect. In the simulation with the package, we can observe a ripple in V_{TUNE} signal. This make us think in a slight redesign of the loop filter, adding at least an extra pole to eliminate this undesirable effect.

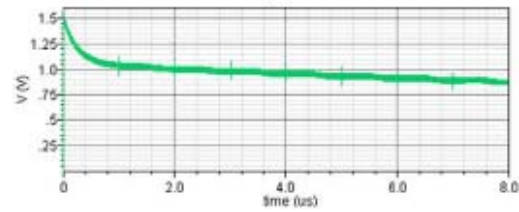
V. CONCLUSIONS

This paper shows the design procedure of an integrated synthesizer in a 16-pin QFN package for DVB-H standard. The synthesizer includes VCO, 0-90° phase shifter, fast dividers, PFD, charge pump, loop filter and programmable dividers. A description of each element is done, including the design and measure of a single core fully integrated VCO with on chip tank. Bond-wires, ESD pads, solder dots and package were taken into account in the synthesizer response, showing simulations after and before the packaging. Simulations have been done to test the synthesizer behavior, showing the VCO phase noise contribution to the synthesizer. The blocks are

implemented in an AMS 0.35 μm BiCMOS process and the power supply is 3.3 V.



(a)



(b)

Figure 15 V_{TUNE} voltage post-layout simulations without (a) and with (b) package effect.

REFERENCES

- [1] Guido Retz, Phil Burton, "A CMOS Up-Conversion receiver Front-End for Cable and Terrestrial DTV Applications," *IEEE Int. Solid-State Circuits Conf.*, vol. 1, pp. 442-506, Feb. 2003.
- [2] Patrick Antoine, Philippe Bauer, Hugues Beaulaton, Martin Buchholz, Declan Carey, Thierry Cassegnas, T. K. Chan, Stephane Colomines, Fiona Hurley, David T. Jobling, Niall Kearney, Aidan C. Murphy, James Rock, Didier Sella, and Cao-Thong Tu, "A Direct-Conversion Receiver for DVB-H," *IEEE J. Solid-State Circuits*, vol. 40, pp. 2536-2546, Dec. 2005.
- [3] S. L. Khemchandani, J. del Pino, E. Lopez-Morillo, U. Alvarado, D. Ramos-Valido, B. Pelomo, F. Muñoz-Chavero, "RF and Mixed Signal Circuits for a DVB-H Receiver," *Analog Integrated Circuits and Signal Processing*, vol. 65, pp. 1-14, 2010.
- [4] S. L. Khemchandani, J. del Pino, D. Ramos, J. Perez, N. Barrera, U. Alvarado, A. Hernandez, "A BiCMOS Chipset for a DVB-H front-end receiver," *XXIII Design of Circuits and Integrated Systems Conference*, Nov. 2008.
- [5] Mentor Graphics Corporation, www.mentor.com
- [6] Synopsys, <http://www.synopsys.com>
- [7] Cadence, <http://www.cadence.com>
- [8] Agilent Technologies, <http://eesof.ttm.agilent.com>

